

UNIVERSITÉ D'ORLÉANS

ÉCOLE DOCTORALE
ENERGIE, MATERIAUX, SCIENCES DE LA TERRE ET DE L'UNIVERS

LABORATOIRE GREMI

THÈSE présentée par :
Youssef BOYE

soutenue le : **12 février 2016**

pour obtenir le grade de : **Docteur de l'université d'Orléans**

Discipline/ Spécialité : Science des matériaux

**Réalisation de cellules solaires intégrées par oxydation
localisée d'un substrat de silicium fritté poreux**

THÈSE dirigée par :

Mr Éric Millon

Professeur, Université d'Orléans

RAPPORTEURS :

Mme Daniele Blanc-Pelissier

Chargée de recherche, CNRS Lyon

Mr Abdelilah Slaoui

Directeur de recherche, CNRS Strasbourg

JURY:

Mr Mustapha Lemiti

Professeur, Université de Lyon

Mme Danièle Blanc-Pélissier

Chargée de recherche, CNRS Lyon

Mr Abdelilah Slaoui

Directeur de recherche, CNRS Strasbourg

Mr Esidor Ntsoenzok

Professeur, Université d'Orléans (Président)

Mr Éric Million

Professeur, Université d'Orléans

Mr Alain Straboni

Professeur, Université de Poitiers & PDG de S'Tile

Remerciements

Ces travaux de thèse ont été réalisés dans le cadre d'une convention CIFRE entre l'entreprise S'Tile sise à Poitiers et le laboratoire GREMI (Groupement de Recherche sur l'Énergétique des Milieux Ionisés) d'Orléans.

J'aimerais tout d'abord adresser mes remerciements à madame Chantal Leborgne, professeur de l'Université d'Orléans et directrice du laboratoire GREMI de m'avoir accueilli au GREMI. J'exprime mes chaleureux remerciements et une vive reconnaissance à mes deux encadrants : à mon directeur de thèse monsieur Éric Million, et à mon responsable industriel monsieur Alain Straboni, président du directoire de la société S'Tile. Merci pour votre disponibilité, pour la confiance que vous m'avez accordée tout au long de cette thèse, ainsi que pour les précieux conseils dont j'ai pu bénéficier de votre part. J'ai énormément apprécié votre rigueur scientifique sans oublier vos valeurs humaines. Je renouvelle mes remerciements à Mr Alain Straboni, qui, tout au long de ces années passées au sein de son entreprise, m'a transmis la passion du solaire photovoltaïque.

Mes sincères remerciements à tous les membres du jury d'avoir accepté d'évaluer mes travaux, à mes rapporteurs, Mme Danièle Blanc-Pélissier et Mr. Abdelilah Slaoui, pour les remarques enrichissantes que vous avez pu apporter et pour votre rigueur scientifique.

Je remercie chaleureusement mes chers collègues de S'Tile : Alioune Sow, Guocai Sun, Gaëtan Lorrillère Antoine Malinge Yves Salinesi, Eden Terraz, Bertille Sionneau, David Gaud, David André, Tomo Skelo, Mathilde Duprat, sans oublier la stagiaire Célia Pérou. Merci pour votre sympathie et votre bonne humeur.

J'adresse également mes remerciements à tous les membres du Gremi, plus particulièrement à l'équipe Procédé Plasma Laser, dirigée par Mr. Éric Millon. J'exprime ma reconnaissance à Agnès Petit pour son professionnalisme, sa disponibilité, sa gentillesse et je la remercie de m'avoir initié au MEB du Gremi.

Que ma famille trouve à travers ces quelques lignes, ma profonde gratitude ; merci pour tout le soutien que vous m'avez apporté. À ma femme Alicia, merci pour tous les efforts et tous les sacrifices dont tu as fait preuve durant toutes ces années. À mon fils Issa, pour tout le bonheur que j'ai pu ressentir depuis que tu es venu au monde, merci d'avoir enchanté mes nuits pendant ces années de thèse (ironie). Merci à tous mes amis, à tous ceux qui me sont chers.

Je dédicace ces travaux à ma chère maman.

Réalisation de cellules solaires intégrées par oxydation localisée d'un substrat de silicium fritté poreux

Résumé

Les travaux de recherche menés dans cette thèse s'inscrivent dans le cadre de la réalisation de la technologie cellule solaire intégrée (i-Cell), qui est une technologie innovante de fabrication de cellules solaires à hauts rendements de conversion et à bas coût de production. L'i-Cell consiste en la réalisation de plusieurs cellules élémentaires ou sous-cellules, en feuilles minces de silicium cristallin purifié, qui sont connectées en série sur un substrat de Si fritté bas coût. La technologie i-Cell permet en effet la réduction du coût de la plaquette grâce à la faible épaisseur des feuilles de silicium et grâce à l'utilisation de substrats issus du frittage de poudres de silicium.

Dans une telle structure la fonction photovoltaïque est assurée par la feuille mince de surface alors que le transport du courant et la fonction mécanique sont gérés par le substrat fritté ce qui permet de réduire les coûts de fabrication de la cellule. En effet, à l'instar des couches minces, on peut décomposer la couche active en cellules de faibles surfaces et ainsi produire sur une surface standard (156 x 156 mm²), une cellule dans laquelle circule un faible courant qui permet de réduire fortement la consommation des métaux précieux au sein de la cellule (Argent) et entre les cellules du module (Cuivre). En outre, la configuration des cellules à i-Cell permet de s'affranchir des busbars en Ag traditionnellement utilisés dans les technologies silicium. Ceci présente l'avantage d'éviter le masquage de la lumière et donc d'augmenter la puissance de la cellule.

Ce travail de thèse s'articule sur deux axes de recherche principaux. Le premier est orienté sur l'étude de la cinétique d'oxydation thermique de substrats de silicium frittés poreux. Le deuxième axe concerne la réalisation du substrat fritté intégré et la réalisation des premiers prototypes d'i-Cells sur ces derniers. Ce travail a permis de démontrer la faisabilité de l'i-Cell et de réaliser des prototypes d'i-Cell sur le substrat fritté intégré. Des rendements de conversion PV supérieurs à 18% ont été ainsi obtenus.

Mots clés : Cellule intégrée, substrat fritté intégré, oxydation thermique du Si fritté poreux

Realization of integrated solar cell by localized oxidation of a porous sintered silicon substrate

Abstract

The research work conducted in this thesis are within the framework of the realization of the integrated solar cell technology (i-Cell), which is an innovative solar cell technology with a high conversion efficiency and a low cost production. The i-Cell consists of the realization of several elementary cells or sub-cells, in purified crystalline silicon thin foils, which are connected in series on a low cost sintered silicon substrate. In fact, the i-Cell technology allows the reduction of the cost of the wafer thanks to the low thickness of the silicon foils and through the use of substrates obtained from the sintering silicon powders.

In such a structure, the photovoltaic function is provided by the thin purified Si foil on the surface. Whereas both the current transport and the mechanical function are provided by the sintered silicon substrate – thin allows to reduce the cell manufacturing costs. In fact, just like thin films, we can decompose the active layer in small cell surfaces and thus produce, on a standard surface ($156 \times 156 \text{ mm}^2$), a low current cell that greatly reduces the consumption of precious metals within the cell (Silver) and between the cells within the module (Copper). Furthermore, the configuration of cells in the i-Cell technology permits to eliminate the use of Silver busbars traditionally used in the Si solar cell technologies. This offers the advantage of avoiding the masking light and thus increases the power of the i-Cell.

This thesis work focuses on two main axes of research: The first axis relates to the study of the kinetics of thermal oxidation of porous sintered silicon substrates. The second axis of research focuses on the realization of the “integrated sintered substrates”, which consists of the realization of local conductive zones on the insulating porous sintered substrate, and the fabrication of the first i-Cells prototypes on them. This work demonstrated the feasibility of i-Cell and produced prototypes of i-Cell on the integrated sintered substrate. High photovoltaic conversion efficiencies, greater than 18%, were obtained.

Keywords : Integrated solar cell (i-Cell), integrated sintered substrate, thermal oxidation porous of sintered Si.

Table des matières

Remerciements	2
Résumé	4
Abstract	5
Table des matières	6
Introduction générale.....	10
Chapitre I : Etude bibliographique des technologies de cellules solaires photovoltaïques.....	15
I.1.1 La situation énergétique mondiale	16
I.1.2 Perspective à moyen et long terme : Évolution de la demande énergétique mondiale	16
I.2. La production d'électricité dans le monde	17
I.2.1. La part des énergies renouvelables dans la production d'électricité dans le monde	18
I.2.2. Le marché mondial du photovoltaïque	19
I.2.3 Fonctionnement d'une cellule solaire photovoltaïque en silicium	21
I.2.3.1 Historique du solaire photovoltaïque.....	21
I.2.3.2. Principe de fonctionnement.....	22
I.2.3.3. Caractéristiques courant-tension d'une cellule solaire	23
I.2.3.4. Modélisation électrique d'une cellule solaire :	26
I.2.3.5. Facteurs limitant le rendement d'une cellule.....	28
I.2.4 Les différentes filières de fabrication de plaquettes de silicium avec sciage (kerfloss).....	35
I.2.4.1 Le silicium monocristallin :	36
I.2.4.2 Le silicium multicristallin:	38
I.2.4.3. Les techniques de sciage	39
I.2.5 Les technologies de fabrication de plaquette sans sciage (Kefless).....	42
A- Les technologies rubans :	42
B- Les technologies Smart-Cut & SLiM-Cut	46
I.2.6. Les principales technologies de fabrications de cellules solaires	47
I.2.6.1 Les principaux types de cellules à base de silicium cristallin	48
I.2.7 Conclusion du chapitre I	61

Bibliographie du chapitre 1	62
Chapitre II : Évolutions technologiques de la société S'Tile et contexte	70
II.1 Motivations	71
II.2 Présentation et historique de la société S'Tile	71
II.3. État de l'art : Évolutions technologiques de S'Tile	72
II.3.1. Le procédé de frittage de poudres de silicium	72
II.3.2. Les procédés de recristallisation des plaquettes frittées.....	81
II.3.3. Les technologies S'Tile de réalisation de cellules solaires sur substrats recristallisés	90
II.4. Conclusion du chapitre II.....	100
Bibliographie du chapitre II	101
Chapitre III : Étude de l'oxydation thermique du silicium fritté poreux	105
III.1 Introduction	106
III.2. L'oxydation thermique du silicium	107
III.2.1. Généralités	107
III.2.2. Rôles de l'oxyde de silicium SiO ₂	107
III.2.3. Processus chimique d'oxydation thermique du silicium	107
III.2.4. Oxydation du silicium poreux	110
III.3. Oxydation thermique du silicium fritté	113
III.3.1. Protocole expérimental	114
III.3.2. Mise en œuvre de l'oxydation thermique du silicium fritté.....	121
III.3.3. Résultats et discussions.....	122
III.4. Conclusion du chapitre III.....	139
Bibliographie du chapitre III	141
Chapitre IV : Le procédé de réalisation de la cellule intégrée (i-Cell)	145
IV.1 Introduction.....	146
IV.2. La réalisation du wafer Mono-EQ® (Mono-Équivalent).....	147
IV.2.1. Le procédé de fabrication du wafer Mono-EQ®	147
IV.2.2 Réalisation de cellule solaire sur wafer Mono-EQ® - Transfert de couche épitaxiée	150
IV.3. La cellule solaire intégrée (i-Cell).....	156

IV.3.1. Structure de la cellule intégrée « i-Cell »	156
IV.3.2. Caractéristiques I(V) d'une cellule intégrée :	160
IV.3.3. Économies de matériaux précieux réalisées dans l'i-Cell :	161
IV.3.4. Calcul des coûts de productions d'i-Cell.....	162
IV.3.5. Évaluation de pertes de puissance dans une i-Cell :	163
IV.3.6. Réalisation du substrat fritté intégré.....	167
IV.3.7. Résultats et discussions	170
IV.3.8. Réalisation de prototypes i-Cell sur substrat fritté intégré	175
IV.3.9. Résultats de mesures des performances des premiers prototypes d'i-Cells réalisés	177
IV.4. Conclusions du chapitre IV	180
Bibliographie du chapitre IV	182
Conclusion générale et perspectives	184
ANNEXES.....	188
ANNEXE I : Techniques de caractérisations utilisées	189
A-I.1. Techniques de caractérisations microstructurales des poudres.....	189
A-I.2. Techniques de caractérisations des substrats de Si frittés	191
ANNEXE II : Le modèle de Deal & Grove	195
A-II-1 Représentation du modèle :	195
ANNEXE III : Calculs théoriques des pertes de puissance dans la cellule intégrée	200
A-III.1. Introduction	200
A-III.2. Modélisation électrique d'une cellule solaire, les résistances parasites	200
A-III.3. Calculs des pertes pour une cellule solaire de structure classique	201
A-III.4. Calculs des pertes pour une cellule intégrée de type i-Cell.....	207
A-III.5. Références bibliographiques	211

Introduction générale

La forte croissance économique et l'explosion démographique que subit le monde engendrent une surexploitation des énergies fossiles. L'utilisation massive de cette source d'énergie constitue la principale source de pollution et de rejet des gaz à effet de serre dans l'atmosphère. Ceci a des conséquences directes et néfastes sur l'homme et son environnement.

Afin de lutter efficacement contre le changement climatique et réduire nos émissions de gaz à effets de serre, il est essentiel de développer les énergies renouvelables, qui sont des sources d'énergies propres et inépuisables, et d'augmentation la part de celles-ci dans le mix énergétique électrique. Cela passe notamment par l'essor de la filière du solaire photovoltaïque (PV), qui permet de convertir durablement et efficacement le rayonnement solaire en énergie électrique.

Malgré les avancées technologiques et la croissance spectaculaire du marché du solaire photovoltaïque cette dernière décennie, le coût de production des modules solaires constitue encore un obstacle pour une production à très grande échelle et pour aller vers la parité vers des territoires de plus en plus étendus. Le silicium est le matériau de base utilisé dans plus de 90% des systèmes PV actuels, grâce notamment à sa disponibilité naturelle, sa non toxicité, et ses propriétés photoélectriques indéniables. Sa maturité industrielle, et surtout son rapport efficacité de conversion/prix, font qu'il se distingue comme le plus intéressant par rapport à d'autres matériaux employés dans ce domaine.

La réduction du coût de production des modules solaires standard en silicium mono ou multicristallin passe inévitablement par la réduction du coût de la plaquette et de la cellule. Cette dernière représente en effet plus de 60% du coût du module final, à cause notamment du coût de purification du silicium, mais surtout de la perte considérable de matériau lors de l'étape de découpe des lingots en plaquettes de silicium. 50% du silicium est en effet perdu lors de cette étape. Par ailleurs, les techniques de sciages utilisées consomment une quantité conséquente d'abrasifs, qui sont des matériaux très chers.

Afin de contourner l'étape de sciage des lingots, une étape très énergivore et très coûteuse, plusieurs technologies de fabrication de plaquette se sont développées ces dernières années. Parmi elles, la technologie séduisante de tirage de rubans. C'est d'ailleurs dans la même approche que la société S'Tile a proposé sa technologie innovante de fabrication de plaquettes

de silicium directement par frittage de lits de poudre de silicium. Cette méthode permet de s'affranchir de l'étape de sciage et de l'utilisation de silicium raffiné.

Plusieurs technologies et concepts de réalisation de cellules ont été développés dans différents travaux de recherches antérieurs à cette thèse. Ces dernières incluent généralement une étape de recristallisation totale ou partielle du substrat fritté. Les limites technologiques liées à la qualité cristalline du substrat fritté recristallisé ainsi qu'aux procédés utilisés présentent un frein à l'obtention de cellules solaires à haut rendement de conversion. Cependant, en conservant son procédé innovant de fabrication de substrat de silicium par frittage de poudre de silicium, S'Tile s'est orienté vers une technologie alternative plus simple, permettant de s'affranchir des étapes de recristallisation. Ce nouveau concept de fabrication de wafers, appelés wafers Mono-EQ[®] (Mono-Équivalent) consiste à rapporter une feuille mince (quelques dizaines de microns) de silicium monocristallin sur le substrat de silicium fritté bas coût. Il présente en effet, un meilleur potentiel de rendement de conversion que les technologies antérieures car la cellule est réalisée directement sur la feuille mince de silicium monocristallin. Les principaux résultats de cellules issus de ce concept sont présentés sur le quatrième chapitre de ce manuscrit.

Les travaux entrepris au cours cette thèse s'inscrivent dans le cadre de l'activité de recherche et développement de la technologie innovante de fabrication de cellules solaires à hauts rendements de conversion et à bas coût. Ce type de cellules, appelées cellules solaires intégrée ou i-Cell [1] (pour integrated Solar Cell), permet à la fois de réduire les coûts liés à l'élaboration de la plaquette, notamment par le frittage de lits de poudres de silicium de qualité métallurgique, mais également le coût du procédé de fabrication de la cellule par la réduction de l'utilisation des matériaux précieux tels que l'argent (Ag) pour les métallisations et le cuivre (Cu) pour l'assemblage en module. En effet, l'élément métallique (Ag) utilisé pour la métallisation (busbars et fingers) des cellules solaires dans les procédés standards, représente plus de la moitié du coût de production de la cellule.

Ainsi, la cellule intégrée (i-Cell) proprement dite est constituée de différentes sous-cellules ou cellules élémentaires connectées en série sur un « substrat de silicium fritté intégré » poreux et électriquement isolant, sur lequel des zones de conduction locales y ont été préalablement intégrées par inclusion d'éléments métalliques. « Le substrat fritté intégré » combine une double fonction, il fait office de support et d'électrodes en face arrière des différentes sous-cellules de la future i-Cell.

Le principal challenge pour la production d'i-Cells à coûts réduits réside dans l'élaboration de substrats frittés suffisamment isolants à partir de poudre de silicium de qualité métallurgique (UMG), nettement moins chère que la poudre de qualité solaire, qui est beaucoup plus raffinée. Pour cela, plusieurs solutions ont été proposées au cours de cette thèse, notamment par l'oxydation thermique de substrats de silicium frittés pour intégrer la phase isolante dans ces derniers. Les substrats frittés ont été délibérément rendus poreux afin de faciliter la perméation de l'agent oxydant dans les canaux de porosités.

Cette thèse s'articule autour de deux axes principaux : le premier axe de recherche porte sur l'étude de cinétique d'oxydation du substrat de silicium fritté poreux, tandis que le second est consacré à l'étude de l'intégration de zones de conceptions locales ou « caissons conducteurs » qui serviront d'électrode face arrière de la future i-Cell. Des prototypes d'i-Cells ont été réalisés et présentés dans le second axe de recherche.

Ce manuscrit est scindé en quatre chapitres.

- Le premier chapitre décrit le contexte énergétique actuel et l'importance de l'augmentation de la part du solaire PV dans le mix énergétique. Il aborde également la physique du fonctionnement de la cellule solaire. Un état de l'art sur les principales technologies de cellules solaires, notamment les technologies de fabrications cellules solaires sur des wafers sans sciage (kerfless) bas coût, dans lequel s'inscrit le contexte de cette thèse.
- Le second chapitre passe en revue les travaux antérieurs concernant les évolutions et les limites technologiques de la cellule solaire de S'Tile, dont le frittage de poudre de silicium est le point de départ. Cette étude a permis de situer ces travaux de thèse dans cette évolution technologique et d'en assurer la continuité en levant/contournant les limites pour une production de cellules solaires à haut rendement et bas coût réalisées sur substrat fritté.
- Le troisième chapitre est consacré à l'étude de l'oxydation thermique du substrat de silicium fritté poreux. L'étude de l'influence des différents paramètres tels que la porosité initiale du substrat, de la température d'oxydation, et du temps sur la cinétique d'oxydation y est présentée et discutée. Des études microstructurales réalisées par microscopies électroniques à l'université d'Orléans ont permis de mettre en évidence la croissance de l'oxyde de silicium au sein des canaux de porosités.
- Le quatrième chapitre présente une description détaillée de la structure de la cellule intégrée (i-Cell), une liste d'avantages et d'inconvénients de la technologie cellules intégrées y est dressée et comparée à la technologie de cellules classiques tant sur le plan économique que technologique. Dans la dernière partie de ce chapitre, après avoir étudié et réalisé le « substrat

fritté intégré », qui joue un rôle essentiel dans le fonctionnement de l'i-Cell, nous avons présenté les résultats montrant les caractéristiques et les performances des premiers prototypes de cellules intégrées réalisées sur ce dernier.

Chapitre I : Étude bibliographique des technologies de cellules solaires photovoltaïques

I.1.1 La situation énergétique mondiale

La demande énergétique mondiale a maintenu une très forte croissance au cours de ces dernières décennies. Selon l'Agence Internationale de l'Énergie (AIE), la production mondiale d'énergie primaire a atteint la barre de 13 371 millions de tonnes équivalent pétrole (Mtep) en 2012 [2]. Il est intéressant de voir comment cette consommation d'énergie primaire a évolué dans le temps depuis ces dernières années. La Figure I-1 montre cette croissance ainsi que la contribution de chaque source d'énergie. On notera que la demande est essentiellement satisfaite par les énergies fossiles à plus de 80 %. Cette situation montre la forte dépendance mondiale aux énergies carbonées.

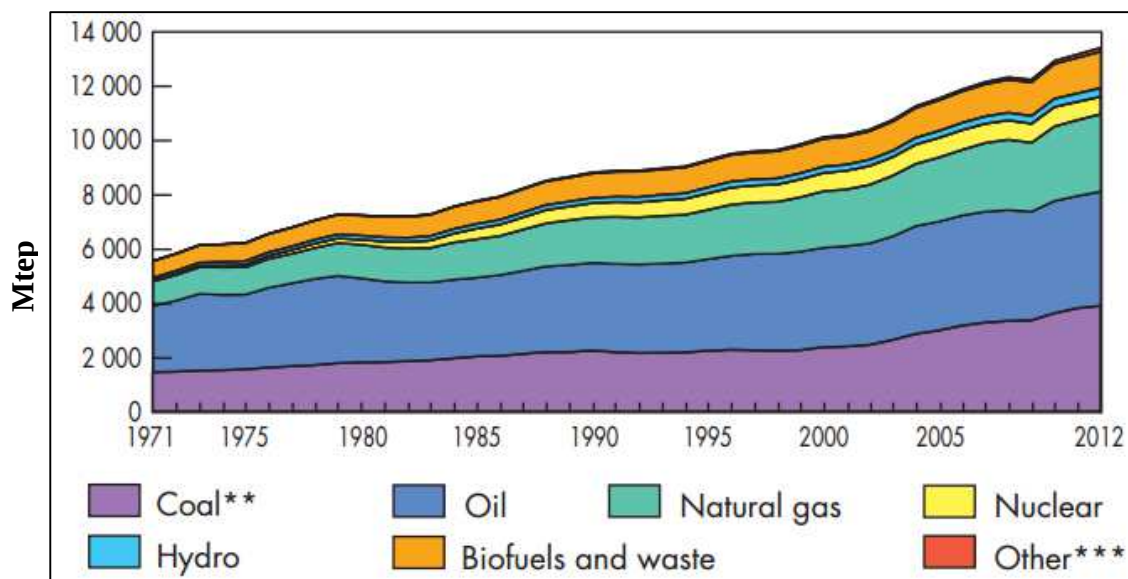


Figure I-1: Évolution de la production mondiale d'énergie primaire et répartition par source d'énergie en (Mtep) [2]

I.1.2 Perspective à moyen et long terme : Évolution de la demande énergétique mondiale

Sous l'effet de l'accroissement de la population mondiale, estimé à 9 à 10 milliards d'habitants à l'horizon 2050, des efforts des pays en voie de développement pour combler leur décalage économique et du maintien d'une légère croissance de la demande énergétique dans les pays développés : la demande d'énergie primaire poursuit sa croissance mais sa répartition géographique se modifie. La Figure I-2 montre l'évolution de cette consommation par grande zone économique depuis 1990 ainsi que les prévisions d'évolution. La prévision WEO (Word Energy Outlook), en pointillé, est comparée à la courbe établie par l'AIE et en est très proche, on notera que seuls les pays de l'OCDE ont une consommation à peu près stabilisée [3].

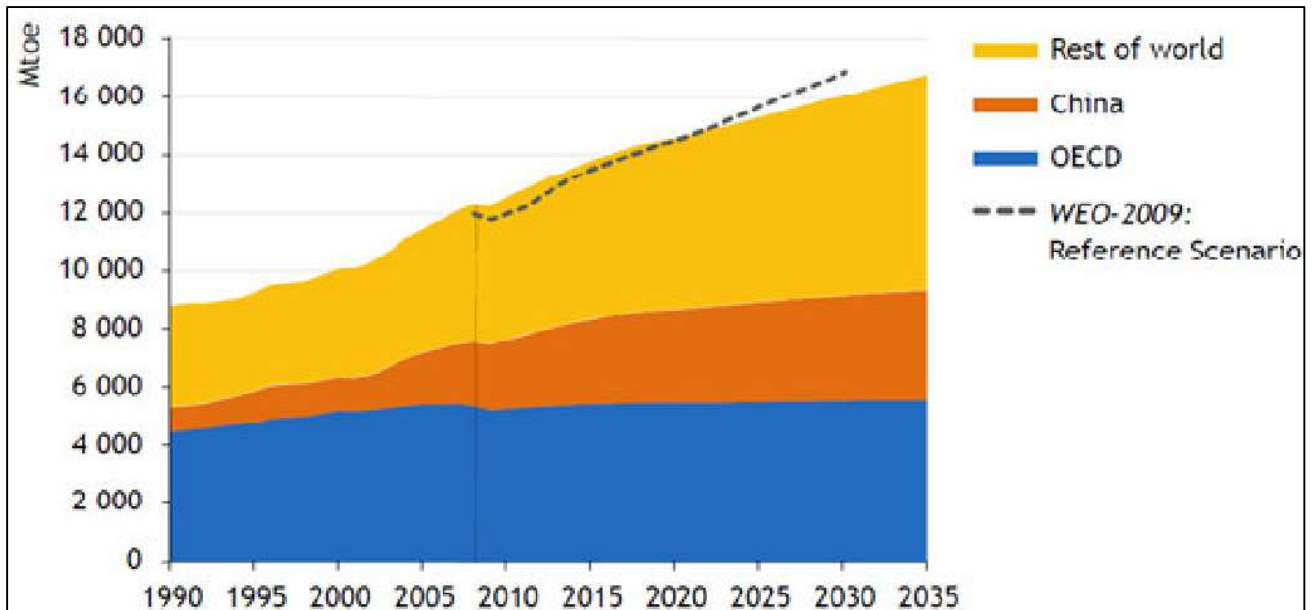


Figure I-2: Évolution (depuis 1990) de la consommation d'énergie primaire par zone géographique [3]. (Mtoe = Mtep)

D'ailleurs, si l'on rajoute la part du nucléaire dans les énergies fossiles, on remarquera que plus de 87% de la consommation énergétique est d'origine non renouvelable. Ainsi, l'utilisation massive des énergies fossiles pour les années à venir engendrerait d'importantes émissions des gaz à effet de serre et l'augmentation de la température du globe.

A ce rythme, les experts tablent sur une croissance moyenne de l'ordre de 1,7% par an pour les prochaines décennies, ce qui pourrait doubler les besoins énergétiques de la planète à l'horizon 2050 soit une consommation de 20 000 Mtep.

I.2. La production d'électricité dans le monde

L'énergie électrique représente un facteur indispensable pour le développement économique dans le monde entier. En effet, le progrès technologique dans l'industrialisation et dans le confort de la vie moderne explique l'augmentation de son importance. La production d'électricité par nombre d'habitants permet donc d'avoir une idée claire concernant les écarts de développements entre les différentes régions du monde (figure I-3). Cependant, en 2012, l'Amérique du Nord était la région où on produisait le plus d'électricité (14167 KWh/hab/an.), ce qui représentait approximativement le double de la production de l'Europe de l'Ouest (6646 KWh/hab/an.), plus de 3 fois plus que l'Europe centrale (4411 KWh/hab/an), plus de 4 fois plus qu'en Asie de l'Est et du Sud-Est (3400 KWh/hab/an), encore 8 fois plus qu'en Afrique du Nord (1771 KWh/hab/an) et de l'ordre de 30 fois plus qu'en Afrique subsaharienne (490 kWh/hab/an) (Observ'ER, 2013).



Figure I-3: Production d'électricité en kWh par habitant en 2012 (Source : Observ'ER, 2013)

I.2.1. La part des énergies renouvelables dans la production d'électricité dans le monde

La production d'électricité renouvelable a atteint 20,8% de la production d'électricité mondiale en 2012 (4699,2 TWh). Les combustibles fossiles restent les plus utilisés pour la production de l'électricité mondiale (68,1%) comme le montre la figure I-4.

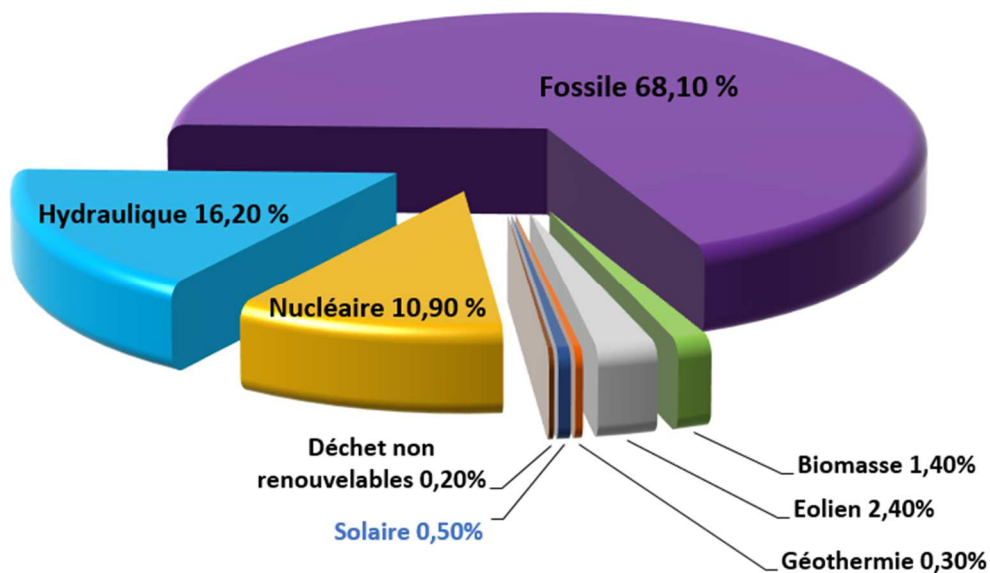


Figure I-4 : Répartition de la production d'électricité dans le monde en 2012. (Source: Observ'ER, 2013)

Les sources qui représentent les énergies renouvelables sont : l'hydroélectricité qui contribue à 78% en 2012, l'énergie éolienne (11,4%), la biomasse (6,9%), le solaire (2,2%), la géothermie (1,5%) et les énergies marines (0,01%), (voir figure I-5.).

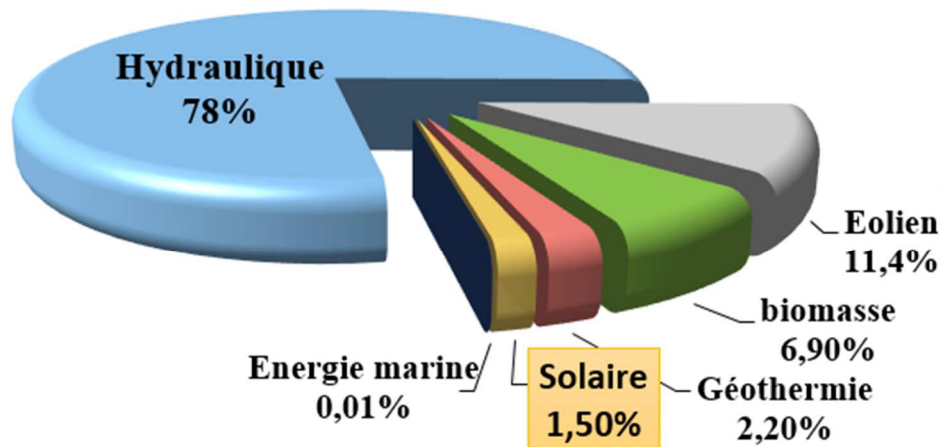


Figure I-5: Répartition de la production mondiale d'électricité d'origine renouvelable en 2012. (Source: Obser'ER 2013).

Il est important de rappeler que la part du solaire dans les graphiques ci-dessus regroupe les deux principales technologies. La technologie des panneaux photovoltaïques dans laquelle on utilise les propriétés des semi-conducteurs qui génèrent un courant électrique en présence de la lumière. La seconde technologie est celle des centrales solaires thermiques et thermodynamiques, qui consiste à utiliser des miroirs pour concentrer le rayonnement solaire sur un point focal permettant d'avoir des températures très élevées allant de 400 à 1000°C pour produire l'électricité.

I.2.2. Le marché mondial du photovoltaïque

Malgré la croissance du marché photovoltaïque dans le monde, la production électrique développée par les panneaux photovoltaïques reste encore très faible dans les mix électriques nationaux. A titre d'exemple, durant l'année 2013, la production photovoltaïque allemande a permis de satisfaire 5,3% de la consommation intérieure électrique. Pour la France, l'énergie photovoltaïque générée, durant les mois de juillet et août 2013, ne représente que 1,5% de la production électrique nationale. Selon l'EPIA, et suivant la croissance du marché actuel, l'énergie photovoltaïque pourrait satisfaire 8% de la demande électrique dans l'Union Européenne en 2020 et 15% en 2030.

1.2.2.1 Classement des meilleurs producteurs mondiaux de cellules et modules PV

Comme le montre le [tableau I-1](#), la production mondiale de cellules/panneaux solaires PV est largement dominée par le marché chinois. En effet, la Chine compte le plus grand nombre de producteurs ainsi que les plus importants en termes de volume de production. Les producteurs chinois occupent les six premières places dans le Top 10 des premiers producteurs mondiaux. Utilisant des technologies issues des laboratoires universitaires australiens, ces sociétés ont choisi massivement le silicium cristallin et sont présentes sur toute la chaîne de valeur. Ainsi, leur production de cellules solaires est réservée à la fabrication de modules dans leurs propres lignes de fabrication. La production annuelle dépasse en moyenne les 2,5 GW et atteint plus de 3 GW pour le duo en tête du classement que sont **Trina Solar** et **Yingli Green** en 2014. Cependant il faudrait noter aujourd'hui que la grande majorité de la production chinoise est destinée à la demande intérieure, à travers de grands projets d'installation PV. La plupart de ces entreprises chinoises du top 5 commercialisent aujourd'hui des modules de rendement de conversion moyen entre 14 et 16 %.

*Tableau I-1 : Top 10 des producteurs mondiaux de cellules et de modules solaire PV en 2014.
(Source : PVTECH & Renewable Energy)*

Rang	Entreprises	Pays	Technologie	Production cellules, modules (GW)
1	Trina Solar	Chine	(Mono, Multi) Cristallin	3,6
2	Yingli green	Chine	(Mono, Multi) Cristallin	3,3
3	Canadian solar	Chine	(Mono, Multi) Cristallin	2,9
4	Jinko solar	Chine	(Mono, Multi) Cristallin	2,7
5	JA Solar	Chine	(Mono, Multi) Cristallin	2,4
6	Renesola	Chine	Multi Cristallin	2,3
7	Sharp solar	Japon	Multi Cristallin Couches mince (a-Si)	1,9
8	First solar	USA	Couches minces (CdTe)	1,8
9	Hanwha SolarOne	Corée	Multi Cristallin	1,4
10	SunPower	USA	Mono Cristallin	1,3
10 ex	Kyocera	Japon	Multi Cristallin	1,3

Les Japonais **Sharp Solar** et **Kyocera** bénéficieraient toujours de la réputation de leurs marques respectives sur leur marché national, ce qui leur aurait permis de rester dans le Top 10 avec une production annuelle respective d'environ 1,9 GW et 1,3 GW. A côté de ces deux gros producteurs japonais, bien que n'étant pas dans le Top 10, la société **Sanyo** se taille une bonne part avec une production de 1,2 GW en cellules et modules. Avec l'entrée sur le marché de leur modules HIT (Heterojunction with Intrinsic Thin-layer), **Sanyo** s'est installé sur le créneau des cellules et modules à très haut rendement. Comme pour la Chine, la production japonaise de cellules PV est consommée par la demande nationale, dopée par les grands projets solaires initiés par l'état, depuis le tsunami à l'origine de l'accident de Fukushima.

L'Américain **SunPower** qui produit aussi des modules à très haut rendement (>20 %) à partir de cellules solaires de très bonne qualité est entré dans le Top 10, ex-aequo avec **Kyocera** en 10e position. A l'inverse on trouve aussi aux USA, le fabricant de modules en couches minces **First Solar** (8e) qui, avec 1,8 GW de production annuelle, commercialise des modules en couches minces au CdTe avec des rendements d'environ 13-14 %.

À côté de ces géants Asio-américains, des entreprises européennes basées principalement en Allemagne résistent à la concurrence chinoise en misant sur la qualité de leurs produits. Parmi ces compagnies, on peut citer **SolarWorld**, leader européen avec une capacité de production supérieure à 1GW.

I.2.3 Fonctionnement d'une cellule solaire photovoltaïque en silicium

I.2.3.1 Historique du solaire photovoltaïque

L'effet physique qui sous-tend le photovoltaïque a d'abord été observée par Alexandre Edmond Becquerel [4,5] en 1839, quand il a produit un courant en exposant des électrodes d'argent au rayonnement dans un électrolyte. L'effet a été décrit plus en détail par Adams et Day en 1877 [6]. Ils ont observé que l'exposition des électrodes de sélénium à un rayonnement produit une tension électrique, leur permettant ainsi de produire un courant électrique. Du point de vue historique, ces différents effets sont découverts expérimentalement au cours du XIXe siècle. Ce n'est qu'en 1905, qu'Albert Einstein proposa une théorie qui explique les phénomènes photoélectriques en introduisant le concept de la dualité onde-corpuscule des photons. Dans sa théorie, A. Einstein démontre que l'énergie d'un photon est entièrement transférée à un électron du matériau et que le courant photoélectrique est proportionnel au nombre de photons, donc au flux lumineux [7].

L'effet a été ensuite mis en suspens jusqu'à la découverte du transistor et l'explication de la physique de la jonction PN par Shockley [8] en 1948 et Bardeen et Brattain [9] en 1949, l'année qui a marqué le début de l'ère de la technologie des semi-conducteurs. Quelques années plus tard, en 1954 Chapin et al [10] ont développé la première cellule solaire à base de silicium cristallin, qui a eu un rendement de 6% dans les laboratoires Bell Telephone aux USA (devenus aujourd'hui Alcatel-Lucent Bell Labs). Ce rendement a été amélioré rapidement jusqu'à atteindre à 10% . La première utilisation viable pour cellules solaires était pour des applications spatiales. L'engouement pour l'utilisation de l'énergie solaire photovoltaïque pour des installations terrestres n'a vu le jour qu'en 1973 avec le choc pétrolier. Ainsi, la première maison avec une installation photovoltaïque a vu le jour en 1973 à l'Université de Delaware aux USA. À partir de cette période, de nombreuses institutions de recherche et développement ont été installées dans le monde entier, dont la majorité a été subventionnée par des fonds publics. Aujourd'hui, l'énergie photovoltaïque est à la disposition des entreprises et des particuliers et les panneaux photovoltaïques ont des rendements de conversion avoisinant les 20%.

I.2.3.2. Principe de fonctionnement

L'effet photovoltaïque est le processus physique qui consiste à transformer l'énergie lumineuse en énergie électrique. Dans ce qui nous intéresse, le matériau est un semi-conducteur, le silicium qui est le matériau de base le plus utilisé, dans plus de 90% des systèmes photovoltaïques actuels.

L'absorption de la lumière dans un matériau semi-conducteur génère des paires électrons trous (excitation d'un électron de la bande de valence vers la bande de conduction) créant une tension et/ou un courant électrique. Pour que ces charges puissent être collectées par un circuit extérieur, il faut pouvoir les séparer au sein du matériau. Dans le cas d'une cellule solaire en silicium, la structure utilisée pour permettre cette séparation peut être la jonction PN ou une hétérojonction. Le champ électrique créé à la jonction de la zone N et de la zone P autorise la séparation de la paire électron-trou, les porteurs diffusent ensuite vers les extrémités de la cellule entraînant l'apparition d'une tension aux bornes de cette dernière. Les schémas du principe de fonctionnement d'une cellule solaire sont représentés [Figure I-6](#).

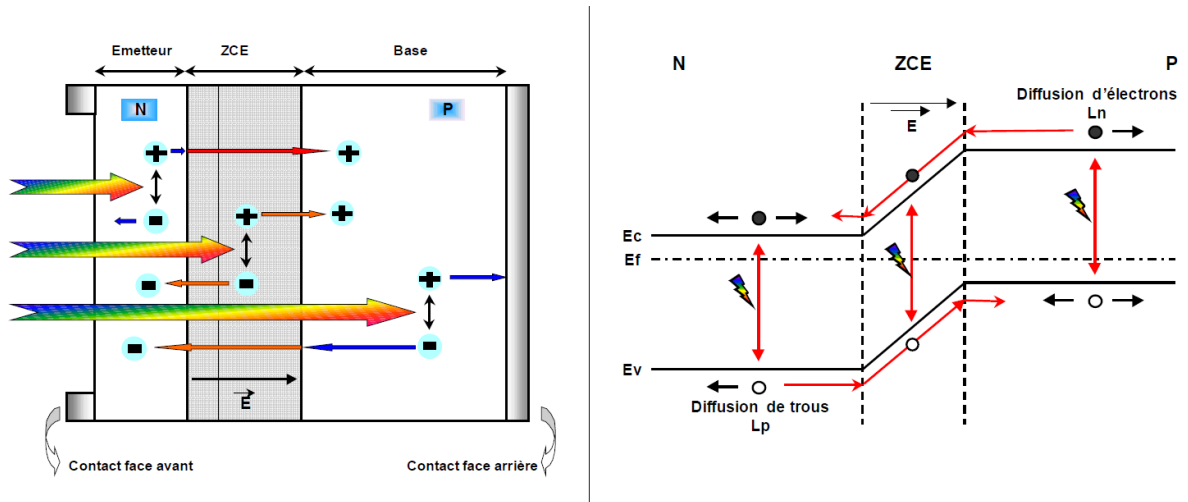


Figure I-6: Structure d'une cellule photovoltaïque (schéma de gauche) et diagramme de bande correspondant (schéma de droite)

Une cellule solaire standard en silicium est constituée d'un substrat de type P, la base (dont les porteurs de charge majoritaires sont les trous) et d'une zone en face avant fortement dopée n+, appelée émetteur (où les porteurs majoritaires sont les électrons). La jonction de ces deux zones va entraîner la création de la zone de charge d'espace (ZCE). C'est dans cette zone que les porteurs sont séparés. Les charges positives (trous) minoritaires dans l'émetteur, si elles arrivent au bord de la ZCE, sont entraînées par le champ E puis se retrouvent dans la base où elles sont majoritaires. Le phénomène inverse se produit pour les électrons, minoritaires dans la base. Enfin, les contacts métalliques permettent la collecte des charges vers le circuit extérieur : ils se présentent sous forme de grille sur la face avant, et généralement pleine plaque sur la face arrière.

I.2.3.3. Caractéristiques courant-tension d'une cellule solaire

Sous éclairement, les photons incidents vont générer des paires électron-trou dont le comportement va différer selon la zone d'absorption :

- Dans la zone de charge d'espace (ZCE) engendrée par la juxtaposition de la jonction P-N, les paires électron-trou créées sont dissociées par le champ électrique. Les électrons sont accélérés puis injectés dans la zone N (émetteur) et les trous dans la zone P (base). Un photocourant de génération est ainsi créé.
- Dans les zones de base et d'émetteur, les porteurs minoritaires générés (trous dans l'émetteur et électrons dans la base) vont diffuser vers la ZCE ; s'ils atteignent cette dernière avant de se recombiner, ils sont injectés dans la zone N pour les électrons et

dans la zone P pour les trous et deviennent majoritaires. Un photocourant de diffusion est créé.

Ces deux contributions s'ajoutent pour donner le photocourant de porteurs minoritaires résultant I_{ph} . Il est proportionnel à l'intensité lumineuse.

Sous obscurité, le courant dans une telle structure de type jonction P-N est appelé courant d'obscurité, exprimé par la formule suivante :

$$I_{obs} = I_s \left[\exp \left(\frac{qV}{nkT} \right) - 1 \right] \quad (I.1)$$

Avec :

q : La charge élémentaire = $1,6 \cdot 10^{19}$ (C)

V : Tension aux bornes de la jonction (V)

n : Coefficient d'idéalité de la jonction

k : Constante de Boltzmann = $1,38 \cdot 10^{-23}$ (J.K⁻¹)

T : Température (K)

I_s : Courant de saturation inverse de la jonction PN (A)

Le courant d'obscurité I_{obs} correspond au courant de la diode I_d , il résulte de la polarisation de la jonction.

Ainsi le courant délivré sur une charge par une cellule solaire photovoltaïque sous éclairement se traduit par la formule suivante :

$$I(V) = I_{ph} - I_{obs} (V) \quad (I.2)$$

Soit :

$$I(V) = I_{ph} - I_s \left[\exp \left(\frac{qV}{nkT} \right) - 1 \right] \quad (I.3)$$

Sous éclairement, la caractéristique $I(V)$ d'une cellule photovoltaïque idéale est donc la superposition d'un générateur de courant d'intensité I_{ph} et de la caractéristique de la diode sous obscurité. La cellule produit donc de l'énergie. Par convention on inverse l'axe des courants comme illustré dans la [Figure I-7](#).

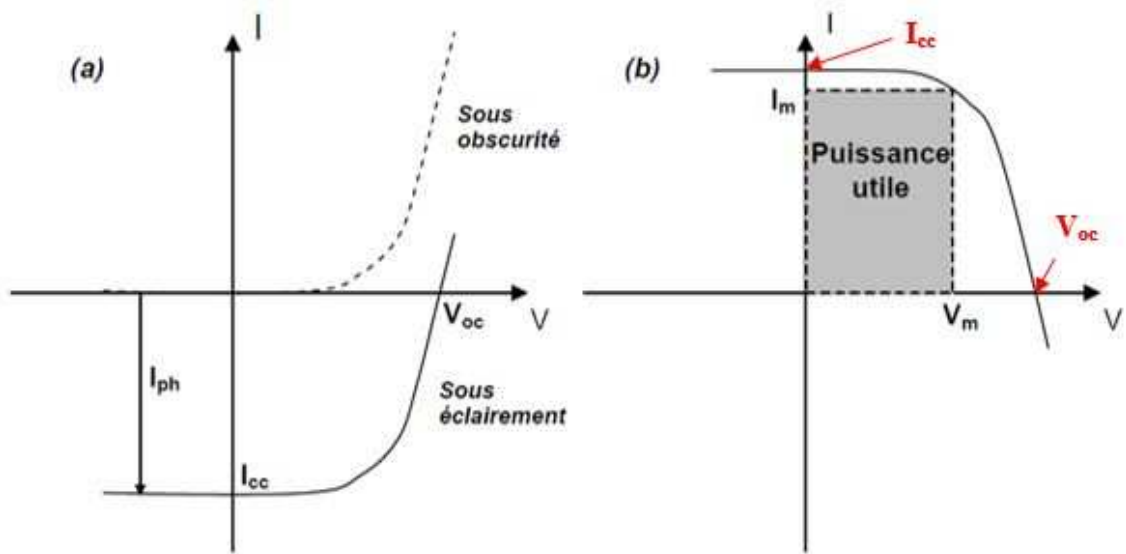


Figure I-7: (a) caractéristiques courant-tension de la cellule photovoltaïque sous obscurité et sous éclairage et (b) la représentation conventionnelle de la courbe $I(V)$

À partir de la caractéristique $I(V)$ sous éclairage de la cellule photovoltaïque on déduit les paramètres propres à la cellule et notamment :

- I_{cc} : Courant de court-circuit (obtenu pour $V=0$)
- V_{co} : Tension de circuit ouvert (obtenu pour $I=0$)
- I_m : courant à la puissance maximale de fonctionnement de la cellule photovoltaïque
- V_m : Tension à la puissance maximale de fonctionnement de la cellule photovoltaïque
- FF : Facteur de forme,

$$FF = \frac{V_m I_m}{V_{co} I_{cc}} \quad (I.4)$$

- η : rendement de conversion de la cellule représente le rapport de la puissance électrique maximale fournie sur la puissance solaire incidente.

$$\eta = \frac{V_m I_m}{\phi_i S} = \frac{FF \cdot V_{co} \cdot I_{cc}}{\phi_i S} \quad (I.5)$$

Avec ϕ_i : flux d'éclairement reçu par unité de surface ; S : surface de la cellule photovoltaïque.

Ces paramètres électriques varient avec l'intensité lumineuse, la convention est d'utiliser pour les tests sous éclairements les conditions d'ensoleillement AM 1.5 soit 1000 W/m^2 et une température de 25°C . La puissance maximale sera alors exprimée en Watt-crête (W_c) afin de spécifier que les mesures ont été réalisées sous les conditions standards.

1.2.3.4. Modélisation électrique d'une cellule solaire :

L'analogie entre le fonctionnement d'une cellule solaire photovoltaïque sous éclairement et celui d'un générateur de courant, produisant un courant I_{ph} auquel se soustrait le courant de la diode en polarisation directe, n'est que la représentation simplifiée du fonctionnement de la cellule. En effet, afin de tenir compte des différentes limitations de la cellule, un modèle à deux diodes a été introduit comme illustré sur la Figure I-8 [36].

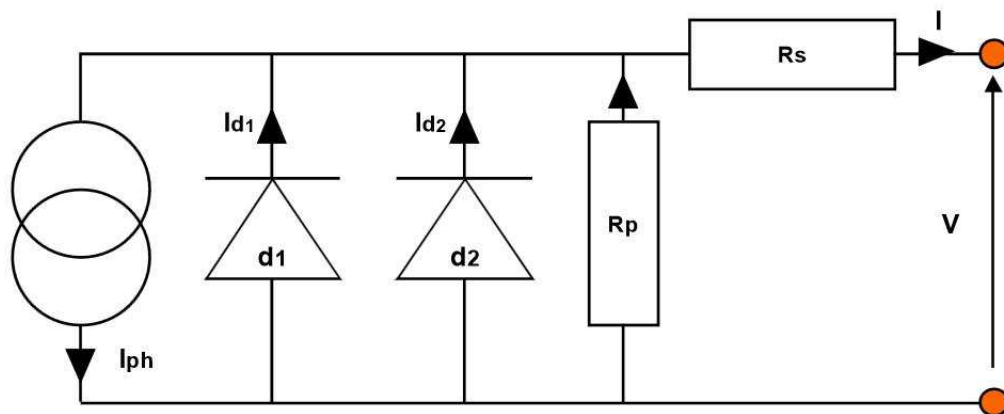


Figure I-8: Modélisation électrique d'une cellule solaire photovoltaïque [36].

Ce modèle met en évidence les différents paramètres de la cellule solaire :

- **Le générateur de courant** : délivrant le courant I_{ph} correspond au courant photogénéré.
- **La résistance série R_s** : elle prend en compte la résistivité propre aux contacts entre les différentes régions constitutives de la cellule, à savoir l'émetteur, la base et les contacts métalliques. Ce terme doit idéalement être le plus faible possible pour limiter son influence sur le courant de la cellule. Ceci peut être réalisé en optimisant le contact métal/semi-conducteur, et en diminuant la résistivité du matériau utilisé. Cependant, un dopage trop élevé entraîne une augmentation de la recombinaison des porteurs.
- **La résistance parallèle R_p** : également connue sous le nom de résistance de court-circuit, elle traduit l'existence de shunts à travers l'émetteur, causés par des défauts. Ceci est

le cas lorsque la diffusion des contacts métalliques à hautes températures perce l'émetteur. Elle peut aussi être due à un court-circuit sur les bords de la cellule. Cette valeur devra être la plus élevée possible.

- **La diode d_1** : Elle modélise la diffusion des porteurs dans la base et l'émetteur. Son influence sera d'autant plus grande que le matériau présentera une bonne longueur de diffusion.
- **La diode d_2** : Elle modélise la génération/recombinaison des porteurs dans la zone de charge d'espace (ZCE).

En effet, l'équation (I-3) néglige les effets parasites dus aux différentes résistances précitées ci-dessus. En prenant en compte les résistances série et parallèle, le courant au sein de la cellule photovoltaïque se traduit par la relation :

$$I(V) = I_{ph} - I_{s1} \left(\exp \left(\frac{q(V+IR_s)}{n_1 kT} \right) - 1 \right) - I_{s2} \left(\exp \left(\frac{q(V+IR_s)}{n_2 kT} \right) - 1 \right) - \frac{V+IR_s}{R_p} \quad (I-6)$$

À partir des caractéristiques $I(V)$ de la cellule réelle sous obscurité [Figure I-9](#), il est possible d'accéder aux paramètres du modèle.

Le premier terme de l'expression (I_{ph}) correspond au courant photogénéré.

Le terme I_{s1} traduit le courant de génération/recombinaison de porteurs au sein de la ZCE. I_{s1} est le courant de la saturation dans la ZCE. Il est souvent appelé courant de fuite, puisque le courant résultant de cette diode est un courant tunnel, ou un courant de recombinaison via un défaut dans la ZCE. Quant à n_1 , c'est le facteur d'idéalité traduisant les générations/recombinaisons, il est généralement égal à 2.

Le terme I_{s2} correspond au courant de diffusion dans les zones quasi neutres (émetteur, base) de la diode PN ; I_{s2} est le courant de saturation dû à la diffusion des porteurs dans ces zones. n_2 Représente le facteur d'idéalité traduisant cette diffusion, il est généralement égal à 1.

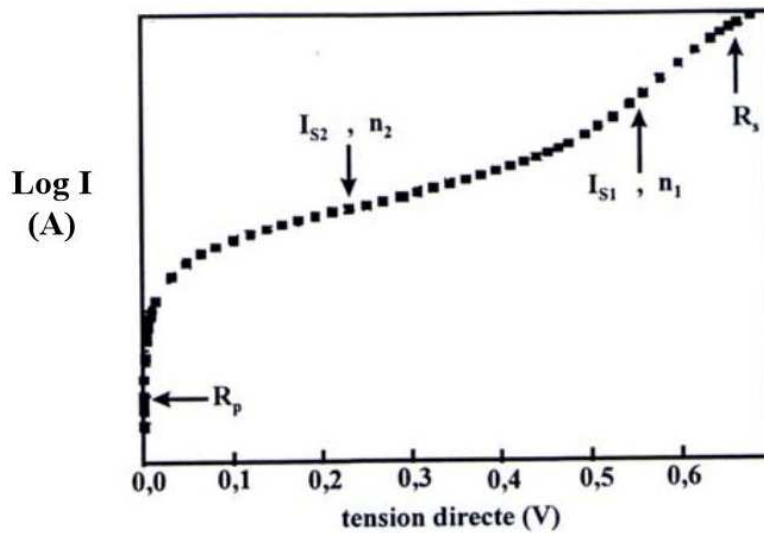


Figure I-9: Caractéristiques $I(V)$ d'une cellule photovoltaïque sous obscurité

I.2.3.5. Facteurs limitant le rendement d'une cellule

En pratique la conversion d'énergie lumineuse en énergie électrique dans une cellule solaire n'est pas complète. Le rendement de conversion est limité par des pertes que l'on peut scinder en deux catégories : les pertes fondamentales ou intrinsèques, liées à la nature du matériau et les pertes technologiques, liées à la technologie employée [11].

I.1.2.4.1 Pertes fondamentales

Absorption incomplète des photons : les photons possédant une énergie inférieure à celle de la bande interdite ($E < E_g$) ne fournissent pas assez d'énergie pour faire passer un électron de la bande de valence (BV) à la bande de conduction (BC). Ils ne contribuent donc pas à la création de paires électron-trou, leur énergie sera alors perdue. Sous éclairement AM 1.5, ces pertes sont évaluées à environ 23.5% (Zone 1 dans la figure I-10) [12].

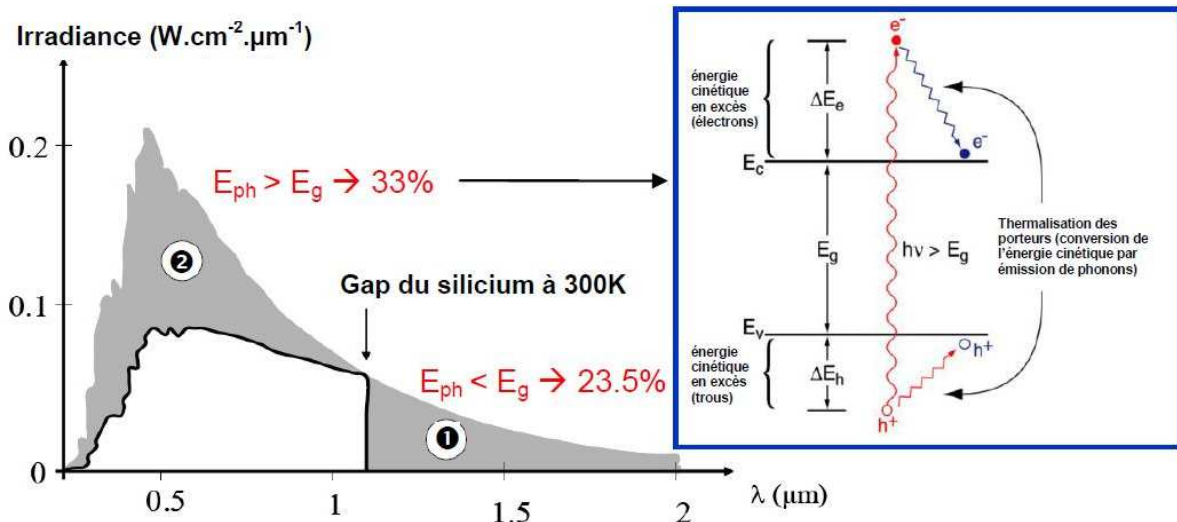


Figure I-10: Principales pertes intrinsèques pour une cellule photovoltaïque en silicium. La zone (1) correspond aux pertes des photons de faibles énergies ($E_{ph} < E_g$). (2) représente les pertes dues à l'énergie excédentaire des photons. Tandis que l'insert (à droite), illustre le phénomène de thermalisation [13]

Excès d'énergie des photons : les photons dont l'énergie est supérieure à celle de la bande interdite ne génèrent qu'une seule paire électron-trou. L'énergie en excès est dissipée sous forme de chaleur par le phénomène de thermalisation (insert Figure I-10). Sous éclairciment AM 1.5, ces pertes représentent environ 33% sur le rendement de la cellule en Silicium.

Facteur de forme FF : Les expressions $I(V)$ sont régies par les équations de Boltzmann faisant intervenir l'exponentielle ($\exp \frac{qV}{kT}$). Par conséquent, la courbe $I(V)$ ne peut donc avoir une forme rectangulaire. Dans le cas d'une cellule idéale, le FF ne dépasserait pas 0.89 [13–15] et vaudrait 1 si la caractéristique $I(V)$ était rectangulaire.

Facteur de tension : la tension de circuit ouvert V_{OC} devrait correspondre à la tension correspondante à l'énergie du gap (E_g/q). En pratique, la tension d'une cellule ne correspond qu'à une fraction de la tension du gap. Cette différence est principalement due aux recombinaisons Auger, qui limitent le V_{OC} à 0,650 V pour une cellule solaire épaisse, et à 0,720 V pour une cellule de 20 μm [11,14].

I.1.2.4.2 Pertes technologiques :

Les pertes évoquées ci-dessus (mis à part cellules liées au facteur de forme FF) sont toutes dues à des contraintes physiques intrinsèques aux matériaux, elles ne peuvent donc être évitées dès

lors qu'il s'agit d'une cellule en silicium cristallin. Elles ramènent le rendement maximal théorique à 29 % [16].

D'autres pertes liées à la technologie de fabrication peuvent également limiter le rendement de la cellule, il est donc possible de les améliorer en optimisant le procédé de fabrication. Ces pertes sont d'ordre optiques, résistives et par recombinaisons de porteurs.

Les pertes optiques : Elles proviennent de photons qui ne sont pas absorbés par le silicium, malgré leur énergie supérieure au gap. Elles ont un effet majoritairement sur le courant de court-circuit.

- *Les pertes par réflexion :* Le silicium possède un indice de réfraction très élevé ($n = 4$ à 650 nm), ce qui entraîne une réflexion importante en surface. Le coefficient de réflexion R peut être amélioré par des traitements de surface générant des réflexions multiples et par l'élaboration de la couche d'antireflet.
- *Les pertes par défaut d'absorption :* Les photons de grandes longueurs d'onde (faibles énergies) ne sont pas absorbés sur une épaisseur de l'ordre de l'épaisseur de la cellule (Figure I-11). Une partie de ces photons peuvent donc traverser la cellule sans être absorbés. Cela signifie que le silicium est partiellement transparent pour ces photons. Ce phénomène est d'autant plus important que la cellule est très fine ($< 100\mu\text{m}$) ; un confinement optique (réflecteur arrière) peut alors être utilisé afin de minimiser ces pertes.
- *Le taux d'ombrage :* La collecte des porteurs en face avant d'une cellule commerciale standard est assurée par une grille de métal. Cette grille n'étant pas transparente, elle engendre des zones d'ombrages sur la cellule où aucun photon ne pourra pénétrer. En revanche, si les dimensions des métallisations sont trop petites, cela créera des pertes résistives, il faut donc chercher un compromis.

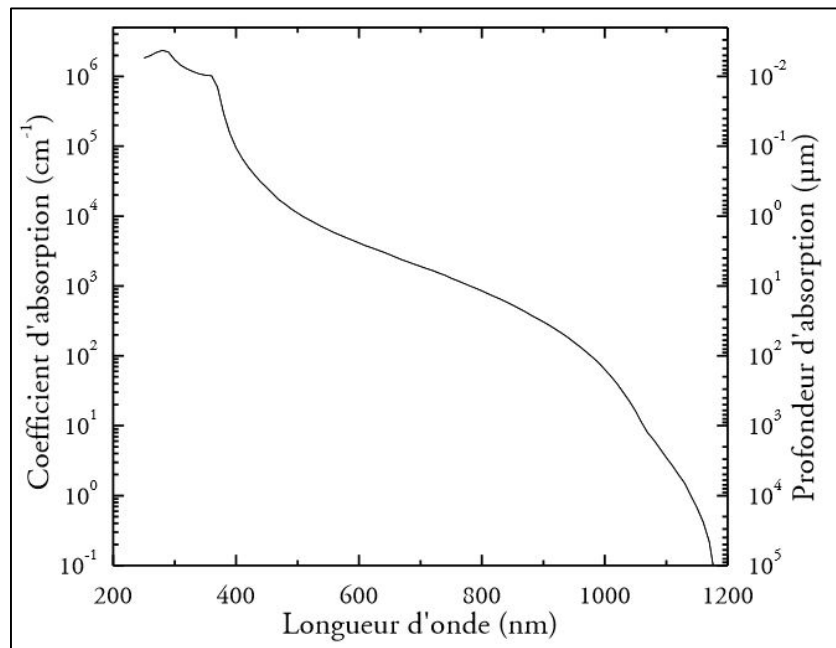


Figure I-11: coefficient absorption et profondeur de pénétration de la lumière dans le silicium cristallin en fonction de la longueur d'onde à 300 K [13].

Les pertes par recombinaison une fois que la paire électron-trou est créée par absorption d'un photon, les porteurs de charges doivent migrer vers la ZCE et vers les zones de collecte de la cellule. En chemin, il peut arriver qu'un électron recombine avec un trou. Les porteurs de charges seront alors perdus, et ne participeront pas à la génération de courant. Il existe différents mécanismes de recombinaison, entraînant la recombinaison de la paire électron-trou en surface ou en volume [15].

Les recombinaisons en volume, on distingue 3 mécanismes principaux :

- **La recombinaison radiative** : Un électron de la bande de conduction se recombine avec un trou de la bande de valence pour donner lieu à une émission de photon, dont l'énergie est égale à celle du gap. Le gap du silicium étant indirect, on considère que le mécanisme de recombinaison radiative est négligeable par rapport aux autres mécanismes de recombinaison.
- **La recombinaison Auger** : Ce mécanisme de recombinaison met en jeu un phénomène à trois particules : un électron de la bande de conduction se recombine avec un trou de la bande de valence, transférant l'énergie excédentaire à une troisième particule, soit située dans la bande de conduction soit dans la bande de valence. L'influence de ce type de recombinaison est d'autant plus importante que le niveau de dopage est élevé [17] ou le flux incident important.

▪ *La recombinaison Shokley Read Hall (SRH)* : Les défauts présents dans le substrat (impuretés, dislocations) créent des niveaux d'énergies discrets dans la bande interdite [18]. Ces niveaux représentent des sites de forte recombinaison. Les électrons passent d'abord de la bande de conduction au niveau discret, puis dans la bande de valence pour s'y recombinaison avec un trou. Pour cette raison, il faut éviter absolument l'apparition de défauts cristallins et des impuretés dans une cellule solaire. Les joints de grains sont également des zones de fortes recombinaisons par ce mécanisme.

Les recombinaisons en surface sont également de type SRH, elles sont dues aux défauts cristallographiques présents à la surface. La discontinuité du réseau cristallin cause la présence d'un grand nombre de liaisons pendantes, qui créent de nombreux niveaux intermédiaires dans la bande interdite. Ces défauts sont passivés de deux façons : les états d'interface peuvent être en grande partie éliminés grâce à la neutralisation des liaisons pendantes par l'ajout d'une couche diélectrique de passivation qui assure la continuité des liaisons atomiques. On peut aussi, en réalisant un effet de champ, repousser les électrons du voisinage de la surface ; ceux-ci ne peuvent donc pas s'y recombinaison. Ceci est réalisé par un dopage localement plus élevé (Front- ou Back Surface Field), ou bien par un diélectrique qui contient des charges fixes de charges opposées à celles des porteurs photo-générés.

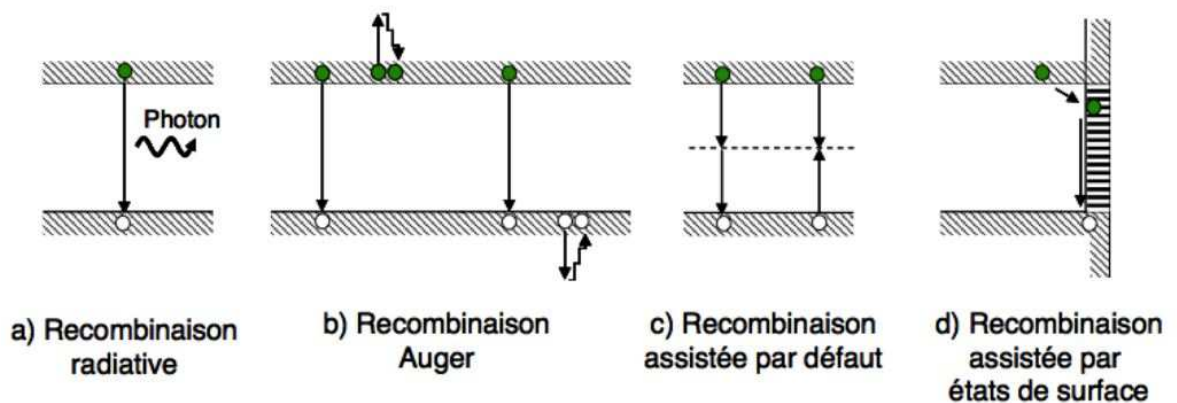


Figure I-12: Représentation des différents mécanismes de recombinaisons [15].

Notons que les recombinaisons radiatives et Auger sont des recombinaisons intrinsèques au matériau, c'est-à-dire qu'elles ne dépendent pas du procédé de fabrication mais du semi-conducteur lui-même. En revanche, les recombinaisons SRH sont extrinsèques, elles dépendent de la qualité du procédé mis en jeu, elles peuvent donc être évitées ou minimisées.

Lorsque les charges se recombinent avant d'avoir atteint la ZCE, il y aura une diminution de la tension de circuit ouvert V_{CO} via le courant de saturation I_{s1} , ainsi que du courant de court-circuit I_{cc} . Lorsqu'elles ont lieu dans la ZCE, elles auront un effet sur le courant de saturation I_{s2} . Ces deux paramètres ont également un effet direct sur le facteur de forme FF [19].

Les pertes résistives : Le rendement de la cellule est également affecté par les pertes résistives affectant notamment la résistance série R_s ; celles-ci sont dues aux pertes par effet joule rencontrées lorsque le courant traverse des zones de résistivité non nulle. C'est le cas dans l'émetteur, dans la base et dans les métallisations. Le deuxième type de pertes résistives est la dissipation dans la résistance parallèle R_p , due aux courants de fuites court-circuitant la cellule. Par exemple, c'est le cas si la jonction n'est pas correctement ouverte aux bords de la cellule, ou si la métallisation traverse localement l'émetteur. La modélisation d'une cellule solaire photovoltaïque (Figure I-8) ainsi que l'expression de $I(V)$ qui en découle (Équation I-6 dans section I.1.2.4.2), sont donc rendues possibles en tenant compte des résistances séries R_s et parallèles R_p .

La figure I-13 permet de mettre en évidence l'influence des deux résistances R_s et R_p sur la caractéristique $I(V)$ de la cellule sous éclairement.

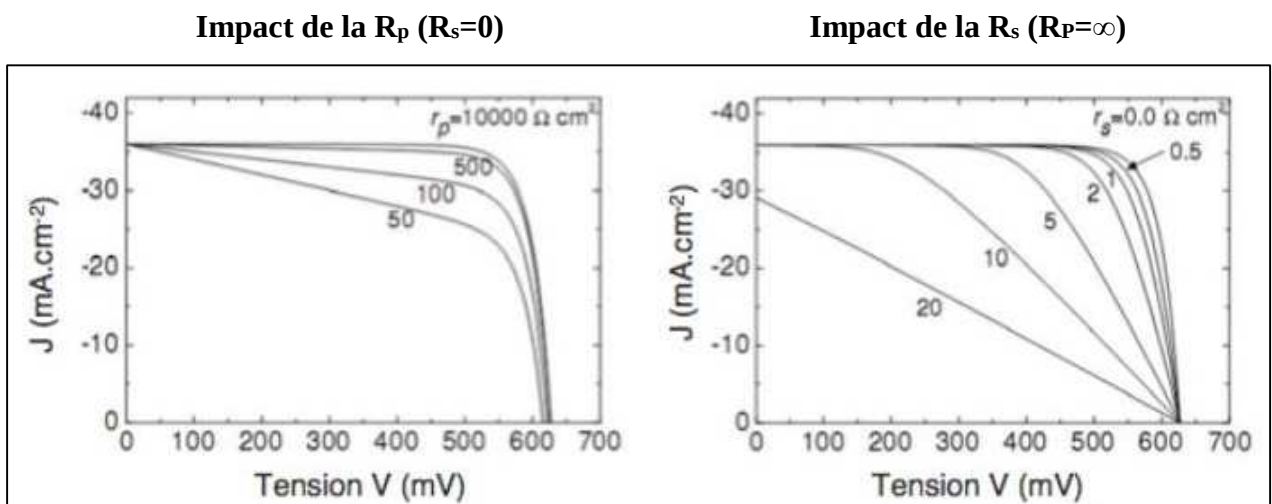


Figure I- 13: Mise en évidence de l'influence des résistances parasites sur les caractéristiques $I(V)$ sous éclairement [15].

I.1.2.4.3 Réduction des pertes :

Nous venons de voir que différents mécanismes de pertes sont liés à la technologie de fabrication utilisée. Nous allons maintenant présenter les différents procédés mis en place dans les chaînes de production de cellules solaires standards industrialisées permettant de limiter ces

perdes. La Figure I-14 illustre l'architecture de la cellule solaire standard ainsi que les fonctions des principales étapes pour la réduction des pertes technologiques.

➤ **Couche antireflet** : Afin de réduire la réflexion de lumière incidente, une couche antireflet (CAR), généralement un diélectrique, est déposée sur la face avant de la cellule. son principe est basé sur les interférences destructives des faisceaux lumineux dans les couches diélectriques minces (cf Figure I-14). Dans le procédé standard le nitrure de silicium SiN_x est généralement utilisé, il possède un indice moyen de 2 dans le visible et d'épaisseur voisine de 75 nm. En incidence normale, la condition d'interférences destructives se traduit par :

$$d_{car} = \frac{(2N+1)\lambda}{4n_{car}} \quad (I-7)$$

Où d_{car} est l'épaisseur de la couche antireflet, N un nombre entier positif, λ la longueur d'onde considérée et n_{car} son indice optique. Cette expression correspond à la condition de d'interférences destructives pour laquelle on obtient une annulation des faisceaux réfléchis à l'interface air/CAR et CAR/semi-conducteur.

Différentes CAR sont utilisées dans le photovoltaïque, à savoir SiN_x , TiO_2 , SiO_2 , ZnS , etc.,... [13]. Dans les technologies des cellules à très haut rendement, un e double CAR (deux diélectriques différents) est utilisée.

➤ **Texturation de surface** : Afin de minimiser la réflectivité de la lumière sur la surface de la cellule, il convient de créer des reliefs micrométriques, généralement en forme de pyramides si le silicium est de type monocristallin. La longueur d'onde de la lumière incidente étant inférieure aux structures réalisées, les rayons incidents suivent les lois de l'optique géométrique comme schématisé sur la Figure I-14. Le procédé de texturation de surface le plus utilisé pour le silicium monocristallin est l'attaque chimique à l'hydroxyde de potassium (KOH), créant des rugosités de formes pyramidales et de dimensions caractéristiques allant de 5 à 10 μm . Tandis que pour le silicium polycristallin un mélange d'acide est généralement utilisé pour la texturation de surface.

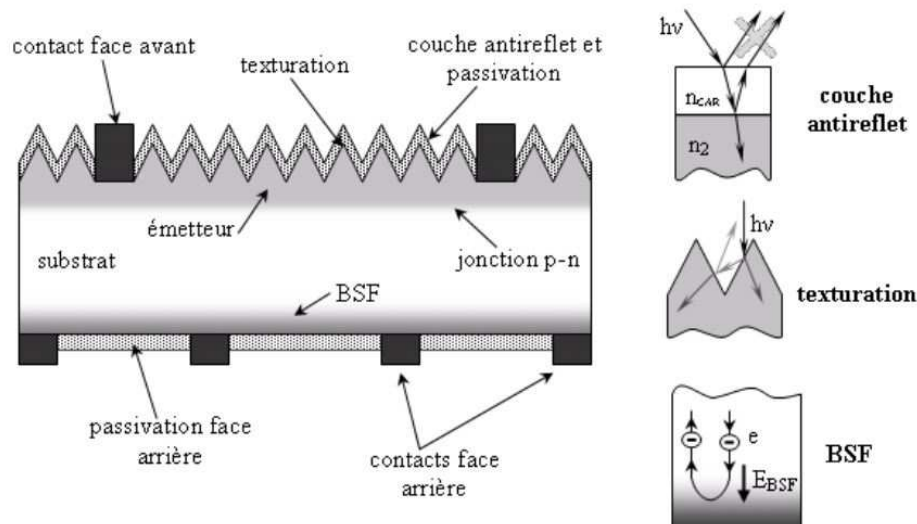


Figure I-14: Structure de la cellule photovoltaïque standard (à gauche). Les insertions (à droite) schématisent les rôles respectifs de la couche antireflet, la texturation et le BSF [15].

➤ **Le champ de surface arrière (BSF) :** Le champ électrique arrière BSF (Back Surface Field) consiste à créer une barrière de potentiel (par exemple, une jonction P+/P) sur la face arrière de la cellule pour assurer une passivation. La barrière de potentiel, générée par la différence de niveau de dopage entre la base et le BSF tend à confiner les porteurs minoritaires dans la base. Les porteurs minoritaires sont ainsi tenus à l'écart de la face arrière où leur vitesse de recombinaison est très élevée.

➤ **Passivation de surface :** la surface des semi-conducteurs est le siège d'une densité importante de défauts (liaisons pendantes, impuretés, etc..) induisant des pertes considérables liées aux phénomènes de recombinaisons de surfaces. La passivation de surface consiste à améliorer les qualités électroniques de la surface et du volume du matériau en neutralisant les effets de ces défauts électriquement actifs. Différentes couches de passivation sont utilisées dans le photovoltaïque ; les plus utilisées sont l'oxyde thermique de (SiO_2) et le nitrure de silicium hydrogéné ($\text{SiN}_x:\text{H}$).

I.2.4 Les différentes filières de fabrication de plaquettes de silicium avec sciage (kerfloss)

Le silicium cristallin

Le silicium cristallin reste aujourd'hui le matériau le plus utilisé dans l'industrie du photovoltaïque. En effet, les technologies cristallines représentent plus de 90% du marché mondial de modules photovoltaïques. Cependant, plus de 95% des plaquettes de silicium cristallin sont fabriquées par tirage et découpe de lingots. Cette méthode engendre non

seulement une perte considérable de matière première (environ 50%) [20], mais les coûts de production et énergétiques restent colossaux. On distingue le procédé Czochralski (Cz) ou fusion de zone (Fz) produisant des plaquettes de silicium monocristallin et le procédé de solidification directionnelle pour la production de plaquettes de silicium multicristallin.

I.2.4.1 Le silicium monocristallin :

Les procédés Czochralski (Cz) et de fusion de Zone (Fz) permettent d'obtenir des plaquettes de silicium monocristallin de très haute pureté.

➤ Le procédé Cz, schématisé sur la [figure I-15](#), découvert en 1916 par le scientifique polonais Jan Czochralski. Il consiste à plonger un germe froid de silicium monocristallin dans un bain de silicium purifié légèrement surfondu dans un creuset en quartz [21], le silicium du bain est épitaxié sur ce germe en reproduisant sa structure monocristalline. Le lingot est alors tiré verticalement vers le haut avec une rotation simultanée et dans le sens opposé par rapport au creuset. La vitesse de tirage dépend du diamètre du lingot, et varie entre 40 et 10 cm/h pour des diamètres de 20 à 140 mm [21].

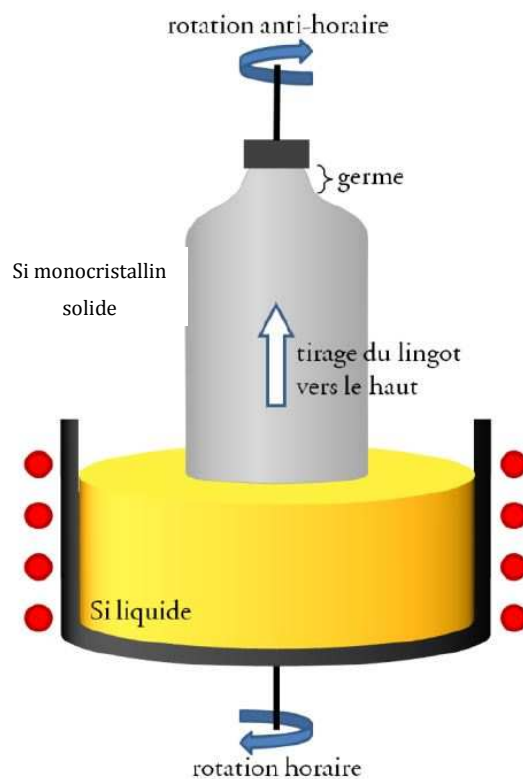


Figure I-15: Procédé Czochralski (Cz) de croissance de lingot

➤ Le procédé fusion de zone (Fz), schématisé sur la [figure I-16](#), consiste quant à lui, à faire fondre localement un lingot cylindrique de silicium multicristallin très pur à l'aide d'un chauffage par induction, un monocristal est ainsi tiré à partir de la zone fondue. Contrairement au procédé Cz, le procédé Fz présente l'intérêt de ne pas utiliser de creuset, qui est une source de contamination en oxygène, carbone ...etc pouvant dégrader les performances des cellules solaires. Cependant son coût reste très élevé pour une production de cellules solaires à grande échelle.

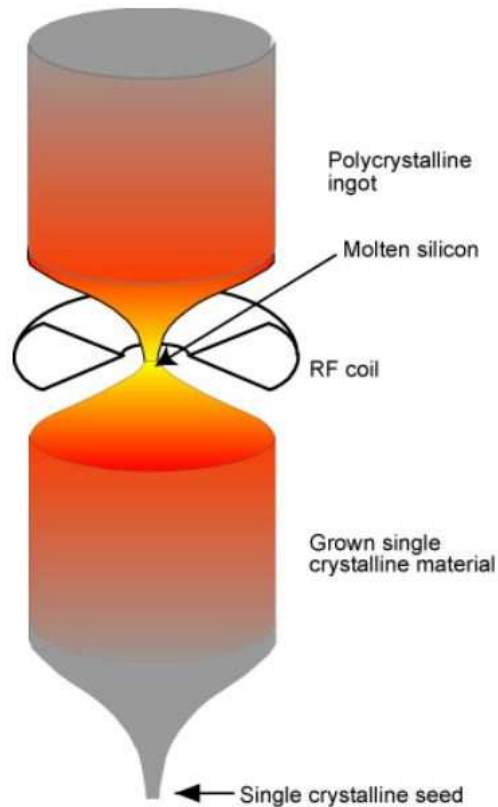


Figure I-16: Procédé Fz de croissance de lingots. (Source : pveducation.org)

Ces procédés permettent d'obtenir des lingots de section circulaire, dotés d'excellentes qualités électroniques avec un potentiel de rendements de conversions photovoltaïques élevés. Les flancs des lingots sont ensuite découpés pour obtenir une forme pseudo-carrée permettant une meilleure compaction des cellules solaire dans les modules. Cette étape de découpe et de sciage des lingots en plaquettes, engendre d'ailleurs des pertes considérables, environ 50 % du matériau.

I.2.4.2 Le silicium multicristallin :

Le silicium multicristallin est fabriqué principalement à partir de sources de matériaux moins raffinés, ou à partir de rebuts de l'industrie de la micro-électronique. Il existe différents procédés permettant d'obtenir le silicium multicristallin parmi lesquels on distingue les différentes techniques de solidifications directionnelles et la technologie tirage de rubans. Cette dernière sera présentée dans la section : fabrication de plaquettes sans sciage.

La solidification directionnelle :

La solidification directionnelle est la méthode la plus utilisée pour la fabrication de plaquettes de silicium (multicristallin). Son principe est montré sur la [figure I-17](#). Elle consiste à réaliser une solidification dirigée du silicium fondu contenu dans un creuset, dont les parois sont généralement constituées de silice. La solidification peut durer jusqu'à 50 heures pour des lingots d'une masse comprise entre 300 et 450 kg. Il existe différentes méthodes de solidification directionnelle telles que : la méthode de croissance Bridgman dans laquelle, le creuset se déplace dans le four à gradient de température ([figure I-17. a](#)). Dans la méthode et POLIX et HEM (Heat Extraction Method) [22], le creuset reste fixe (silicium fondu par induction) et un gradient de température s'établit entre le haut et le fond. La méthode POLIX et HEM se différencient selon la manière d'extraire la chaleur. Dans la méthode HEM, l'extraction de la chaleur se réalise localement en bas du creuset [figure I-17. b et c](#)). Ce qui permet de garder une structure cristallographique homogène. On distingue également le procédé EMC (Electromagnetic Casting), une technique de coulée continue électromagnétique en creuset froid. Elle consiste à verser du silicium liquide à débit constant dans une lingotière via un répartiteur. Le silicium refroidit est ensuite tiré vers le bas de l'installation à l'aide d'un jeu de rouleaux. Ce procédé a été développé par le laboratoire SIMAP-EPM à Grenoble. L'entreprise EMIX, aujourd'hui filiale du groupe FerroAtlántica, fabrique des plaquettes de silicium par cette technique.

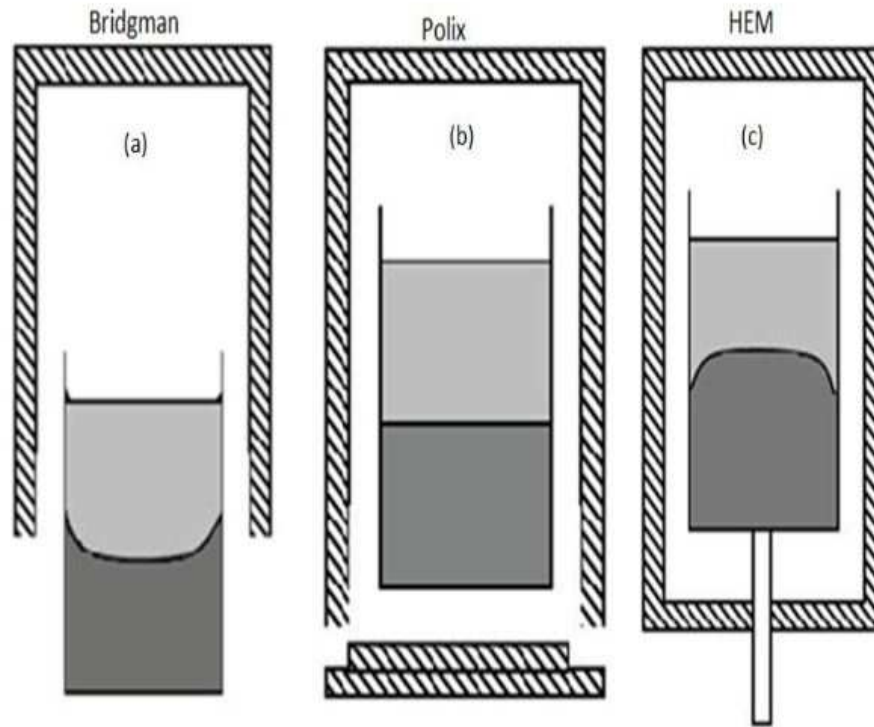


Figure I-17: les principales méthodes de solidification directionnelle [21].

Les procédés de solidifications directionnelles présentent l'intérêt d'intégrer le phénomène de ségrégation, conduisant à une accumulation de la plupart des impuretés métalliques (fer, chrome et nickel...) en haut du lingot solidifié.

I.2.4.3. Les techniques de sciage

Les extrémités des lingots obtenus sont éliminées par sciage car elles représentent un siège d'accumulation des impuretés. Les lingots sont ensuite découpés verticalement en briques de section carrée, correspondant à la surface de la cellule finale. Les briques sont sciées en fines tranches de silicium appelées *wafers*. Nous décrirons ci-dessous les deux principales techniques de sciages permettant d'obtenir ces *wafers*.

A- Le sciage annulaire

La technique de sciage annulaire, ou ID (*Inner Diameter*) pour « scie à diamètre intérieur », est la technique la plus ancienne utilisée industriellement. Son principe est représenté sur la figure I-18. La scie est constituée d'une fine lame d'acier revêtue par un abrasif (diamant) sur le tranchant interne. Elle est maintenue par un dispositif permettant de l'entraîner en rotation.

Le bloc de silicium à scier est ensuite placé au centre de la lame et remonte à une faible vitesse. Une plaquette de silicium (wafer) est ainsi obtenue.

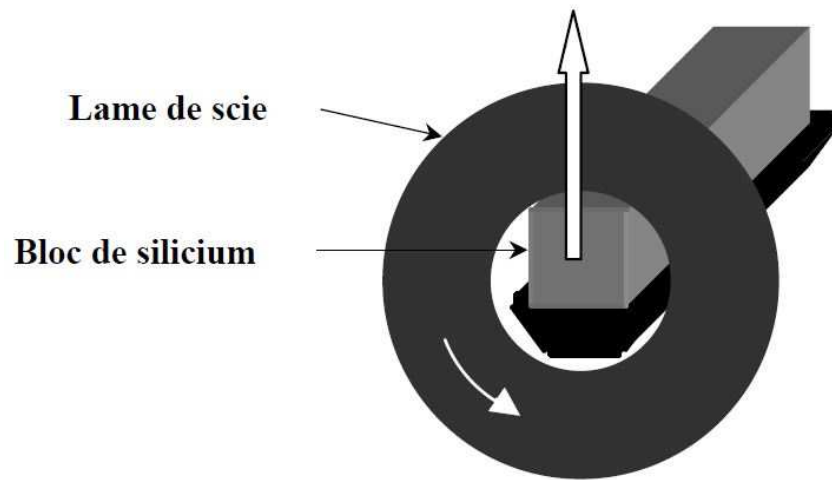


Figure I-18: principe de sciage annulaire (scie à diamètre intérieur) [23]

Cette technique permet d'obtenir des plaquettes de quelques dixièmes de millimètres d'épaisseur avec un bon état de surface et des problèmes de casses assez réduits. En revanche, les plaquettes sont sciées une à une et sont assez épaisses. Compte-tenu de l'épaisseur de la plaquette obtenue (environ 300 μm), le principal problème reste la perte de matière, aussi appelée *kerf loss*, estimée à environ 310 à 350 μm . En raison de la forte perte de matière première, et la faible cadence de production, cette technique a été abandonnée afin de s'orienter vers la technique de sciage à fil [23].

B- Le sciage à fils

Afin de minimiser les pertes liées à l'utilisation de la technique de sciage annulaire (scie à diamètre intérieur) et d'augmenter la productivité, les recherches se sont orientées vers la technique de sciage à fil. Cette technique a été introduite pour les applications photovoltaïque au milieu des années 80 [24].

Le principe de cette technique est présenté sur la [figure I-19](#). Un fil d'acier est déroulé d'une bobine émettrice et tiré sur deux rouleaux de guidage au minimum. Les rouleaux de guidage possèdent des rainures disposées à distance constante, correspondant à l'épaisseur désirée de la plaquette. Le fil traverse chacune des rainures du rouleau pour former un réseau complet de fil ou nappe. Un fil d'une longueur allant jusqu'à 800 km est de nouveau enroulé sur une bobine.

Une suspension généralement composée d'un mélange de carbure de silicium (SiC) et de polyéthylène glycol (mélange appelé Slurry), est appliquée par des buses sur le réseau de fils en déplacement et génère une abrasion mécanique. La brique de silicium, collée sur un support, est entraînée dans le réseau de fils recouvert de suspension. Les fils, dont le diamètre se situe entre 120 et 140 μm , se déplaçant à une vitesse de 10 à 15 m/s dans la brique, permettant ainsi de la scier en une seule étape, jusqu'à 3000 plaquettes environs. La découpe de la brique de silicium en plaquette de 160 à 200 μm dure 6 heures environs [25]. Les grains d'abrasif (SiC) sont emprisonnés entre le fil et la brique de silicium, ce qui engendre des pertes de fragments de matière. Ces fragments seront ensuite mélangés à la solution de découpe et donc perdus.

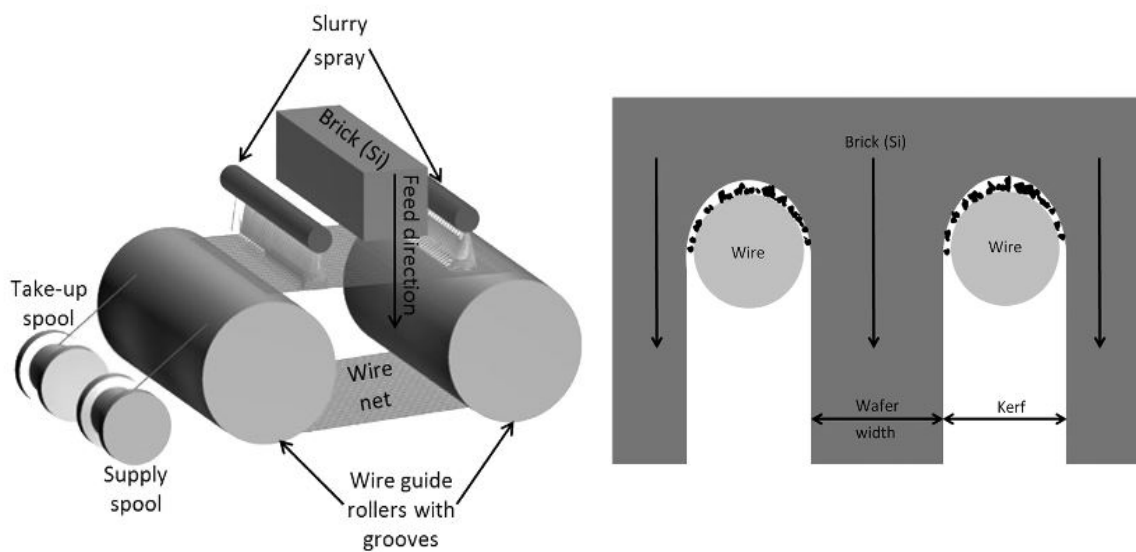


Figure I-19: Schéma du sciage à fils avec abrasifs. a) schéma du principe de sciage. b) illustration du sciage de plaquettes par le passage de la brique de silicium à travers les fils d'acier revêtus d'abrasifs [26].

La technique de sciage à fils avec Slurry génère environ 50% de perte de matériau. Cette perte résulte essentiellement de l'épaisseur du fil et de la suspension lors du sciage. En effet, l'étape de sciage représente un élément déterminant dans le coût de fabrication de la cellule solaire photovoltaïque. Les coûts de fabrication sont d'autant plus bas que l'épaisseur des plaquettes est fine et la perte de matériau faible.

I.2.5 Les technologies de fabrication de plaquette sans sciage (Kefless)

A- Les technologies rubans :

Nous présentons les procédés de fabrication de plaquettes de silicium par tirage de rubans les plus connus. Les procédés silicium ruban sont très séduisants sur le plan technologique. Ils combinent l'étape de cristallisation et de mise en forme du silicium, et présentent l'avantage de minimiser la perte de matière. La consommation du silicium est également divisée par deux (8 g par W_c contre 16 g par W_c). La technologie ruban consiste à produire directement des plaquettes minces ($< 200 \mu m$) de silicium multicristallin, à partir d'un bain de silicium fondu, par capillarité ou par croissance sur un film ou une maille de carbone. Suivant la direction, nous rencontrons essentiellement deux types de cristallisations : la cristallisation verticale, où les procédés EFG (Edge-defined Film-Fed Growth) et SR (String Ribbon) sont les deux exemples représentatifs ; et la cristallisation horizontale, par exemple, les technologies RGS (Ribbon Growth on Substrate) et CDS (Crystallization on Dipped Substrate).

1- la cristallisation verticale :

Dans ce type de cristallisation, la chaleur du silicium fondu est évacuée par conduction à travers la partie déjà solidifiée de l'échantillon. Le ruban de silicium est tiré de bas en haut à partir d'une réserve de silicium fondu. L'interface liquide-solide est perpendiculaire à la direction de tirage du ruban. Ce type de cristallisation permet d'obtenir de longs grains de quelques millimètres dans la direction du tirage.

1.1- La technologie EFG (Edge-defined Film-Fed Growth)

Cette technologie, dont le principe est présenté sur la [figure I-20](#), a été développée par Mobil Tyco et RWE Solar [27,28]. Le silicium est fondu dans un creuset en graphite continuellement rempli durant toute l'opération. Le silicium est alors tiré, de bas en haut à partir du creuset. La forme finale de la plaquette est régie par les forces capillaires de deux guides en graphite ([figure I-20b](#)). La vitesse de tirage est comprise entre 1 et 2 cm/min [27]. Afin d'augmenter la cadence de production, un tube octogonal de silicium est tiré, 8 plaquettes sont ainsi obtenues à la fois [figure I-20a](#). Un laser de haute puissance est ensuite utilisé pour couper l'octogone en plaquettes avec les dimensions désirées. Des grains de quelques millimètres de largeur sont ainsi obtenus, et ont la particularité d'être plus grands dans le sens de la longueur. G. Hahn et P. Geiger ont démontré un rendement record de 16,7% sur une cellule de 4 cm² avec la technologie EFG [29]. Ce rendement record a été obtenu grâce à l'utilisation des techniques non industrielles de

lithographies et d'évaporations pour la réalisation des contacts. RWE Schott Solar commercialise des plaquettes de silicium multicristallin produites par la technique EFG [10, 11,47].

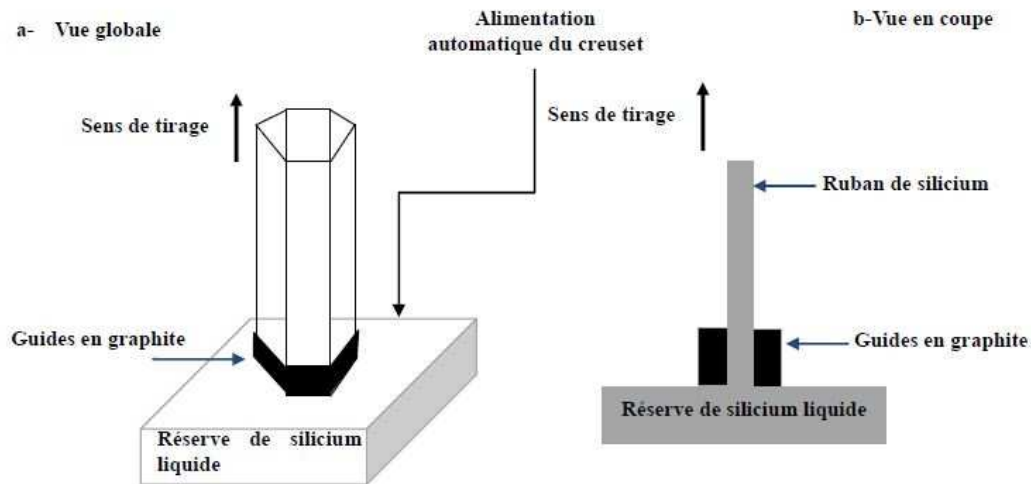


Figure I-20: La technologie EFG. a- vue globale du tirage du tube octogonal. b- Vue en coupe [20].

1.2- La technologie SR (String Ribbon)

La technologie SR a été introduite aux USA il y a plus de 10 ans par Evergreen. Une unité de production exploitant la technologie SR a été installée en Allemagne par Ever-Q ces dernières années. Ever-Q était une entité issue d'un partenariat associant Q-cells, Evergreen Solar et Renewable Energy Corporation (REC). Cette entité est devenue par la suite SOVELLO en 2005. Ce dernier a continué de produire des plaquettes par la technique SR avant de faire faillite en 2012.

La figure I-21 schématise le principe de la technique SR. Comme dans la technique EFG, le silicium est fondu dans un creuset en graphite continuellement rempli pendant toute l'opération. Le phénomène physique est basé sur la tension de surface. Deux fils résistant à de très hautes températures sont transportés à travers le silicium fondu. Le silicium cristallise alors de bas en haut entre les deux fils. La vitesse de tirage est de l'ordre de 1 cm/min [27]. La taille des grains peut atteindre des valeurs de l'ordre du centimètre.

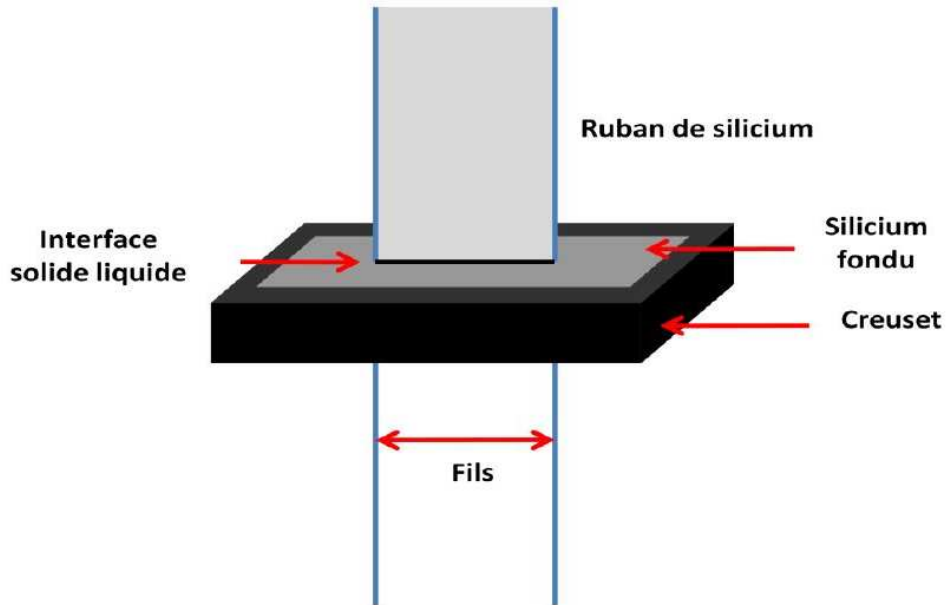


Figure I-21: La technologie String Ribbon (SR) [20].

1.3- La technologie RST de Solarforce™

Le principe du procédé RST de Solarforce™ est présenté sur la figure I-22. Un ruban de graphite souple est utilisé comme substrat. Ce ruban, après avoir été découpé, purifié et recouvert d'une pellicule de pyrocarbone, passe à travers un creuset contenant le silicium fondu. Le silicium cristallise le long du ruban de carbone à la sortie du creuset. Les rubans silicium-carbone-silicium obtenus sont alors découpés par laser, et le carbone est éliminé par brulage sous oxygène. Des rubans minces (60 – 120 μm) d'épaisseur sont ainsi obtenus. Un rendement de conversion photovoltaïque supérieur à 14% a été démontré [30].

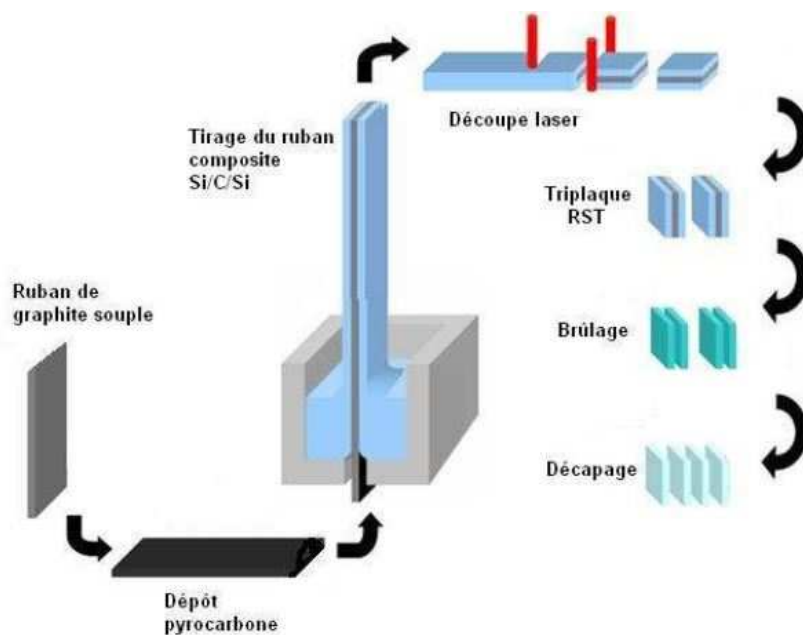


Figure I-22: Principe de la technologie RST de Solarforce™

2- la cristallisation horizontale :

Dans ce type de cristallisation, le ruban de silicium est tiré sur un substrat étranger, à partir d'une réserve de silicium fondu. Une partie de la chaleur se dissipe dans le substrat étranger, et le silicium en contact cristallise instantanément. Des grains colonnaires, de quelques centaines de micromètres, sont créés à partir du substrat [20].

2.1- La technologie RGS (Ribbon Growth on Substrate)

La méthode RGS, développée par Bayer AG dans les années 90, a fait en 2005, l'objet d'une coopération entre ECN, Deutsche Solar Energy et Sunergy Investco. Le principe de la méthode RGS est montré sur la Figure I-22 [20].

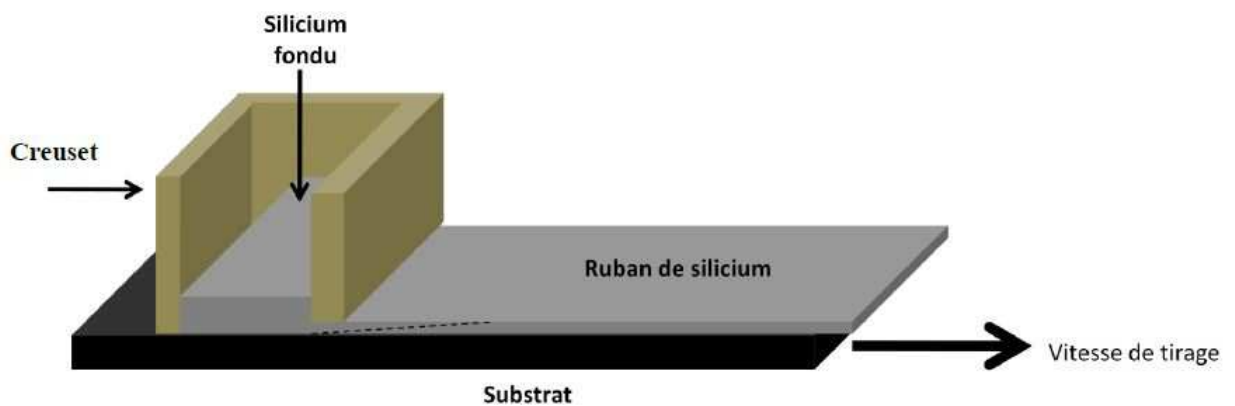


Figure I-22: La technologie RGS (Ribbon growth on Substrate) [21].

Le substrat est maintenu à une température en dessous de celle de fusion. Il se déplace à grande vitesse sous un creuset rempli de silicium fondu. L'échantillon est formé à la sortie du creuset. Celui-ci est alors refroidi par le substrat et se détache automatiquement grâce à la différence de coefficients de dilation thermique entre le silicium et le substrat. La vitesse de tirage peut atteindre des valeurs d'environ 600 cm/min [31]. La taille des grains obtenus par cette technique est de l'ordre de quelques centaines de micromètres et peut atteindre le millimètre. En utilisant le procédé standard de sérigraphie (contacts métalliques), le plus haut rendement obtenu avec les cellules élaborées à partir de cette technique est autour de 13,1% [32].

2.2- La technologie CDS (Crystallization on Dipped Substrate)

On peut recenser d'autres technologies basées sur le principe de cristallisation horizontale, parmi elles, on rencontre par exemple, la méthode CDS (Crystallization on Dipped Substrate). Cette dernière a été développée par SHARP depuis 1997 [20]. Le principe consiste à plonger

un substrat réfractaire froid dans un bain de silicium fondu. Le silicium cristallise alors uniformément grâce à l'extraction de la chaleur sur le substrat. La plaquette de silicium se détache naturellement pendant la phase de refroidissement. Un rendement de conversion de 14,8% a été atteint grâce à cette technique [33]. Le débit surfacique est de 1825 cm²/min [20].

Toujours dans le souci de diminuer le coût de fabrication de la plaquette de silicium, d'autres technologies de fabrication du silicium multicristallin ont été développées. Elles permettent en effet de réduire les étapes de fabrication et de diminuer les pertes de matières rencontrées dans les technologies standards. Parmi elles, la technologie Direct Wafer TM, développée par la société 1366 Technology, implantée dans le Massachusetts (USA). Direct Wafer TM est obtenu en une seule étape, directement à partir d'un bain de silicium fondu et permet ainsi de s'affranchir de l'étape de sciage. En 2014, la société 1366 technology a atteint un rendement cellule record de 18% sur une surface de 156 x 156 mm² ; en utilisant la technologie cellule PERC (Passivated-Emitter Rear Contact). 1366 Technology a aujourd'hui une capacité de production de 5MW/an.

La société S'Tile a développé une technologie innovante de fabrication de plaquettes de silicium bas coût. Les plaquettes sont obtenues directement par frittage de poudre de silicium métallurgique. Elle permet de s'affranchir de l'utilisation du silicium purifié ainsi que l'étape de sciage. La technologie S'Tile fera l'objet du deuxième chapitre de ce manuscrit.

B- Les technologies Smart-Cut & SLiM-Cut

D'autres technologies de fabrication de wafers sans sciage « *Kerfless wafering* » ont été développées ces dernières années, parmi elles, on rencontre par exemple : La technologie SLiM-Cut (*Stress induced Lift-off Method*), développée par l'institut Belge IMEC et la technologie Smart-cut, développée par la société SOITEC.

Le procédé SLiM-Cut consiste à détacher un film de silicium de quelques dizaines de micromètres d'épaisseur. Une couche de métal est déposée à la surface du substrat de silicium monocristallin. Le collage étant réalisé à haute température [34]. Pendant le refroidissement, la différence de coefficients d'expansion thermique entre le silicium et la couche de métal induit des contraintes dans le matériau. Le système se détend en propageant une fissure parallèle à l'interface métal-silicium [35]. La propagation de cette fissure sur toute la surface permet ainsi le détachement d'une couche mince de silicium, prête pour la suite du processus.

Le procédé Smart-Cut™, développé par des chercheurs du CEA Leti [36], repose sur le transfert de très fine couche de silicium monocristallin sur un substrat étranger. Ce procédé, est actuellement exploité industriellement par la société SOITEC® pour la fabrication des substrats SOI (Silicon-On-Insulator) destinés à la fabrication des composés électroniques. Le détachement de la couche de silicium est favorisé par une fragilisation par implantation d'ions d'hydrogène au travers d'un wafer préalablement oxydé.

La profondeur d'implantation dépend de l'énergie du faisceau d'ion (entre 70 et 200 KeV) et détermine l'épaisseur du silicium susceptible d'être transféré [34]. Le substrat fragilisé est ensuite collé sur un substrat oxydé par adhésion moléculaire. Le clivage du substrat implanté est ensuite réalisé par un traitement thermique qui permet aux cavités induites par l'implantation de se développer jusqu'à la formation d'une ligne de fracture. L'épaisseur de la couche transférée est en général inférieure à 1 µm. On obtient ainsi un substrat SOI.

Par ailleurs, le groupe Japonais CANON a développé le procédé ELTRAN® pour la production des substrats SOI. Ce procédé repose sur le même principe que celui de Smart-Cut™, à savoir le transfert de couches minces de silicium sur un substrat étranger. Dans le procédé ELTRAN®, la couche de fragilisation et la couche transférée sont respectivement réalisées par anodisation électrochimique et dépôt par épitaxie en phase vapeur.

Compte-tenu de la faible épaisseur de silicium transférée, il est nécessaire de réaliser une croissance cristalline par épitaxie afin d'augmenter l'épaisseur de la couche active pour des applications photovoltaïques [37]. Dans les deux procédés, le substrat parent est traité pour être réintroduit dans processus pour de nombreux cycles de transfert de couches.

I.2.6. Les principales technologies de fabrications de cellules solaires

Nous venons de décrire les principales techniques de fabrications de plaquettes de silicium pour les applications photovoltaïques, le principe de fonctionnement d'une cellule solaire photovoltaïque, ainsi que les phénomènes physiques et technologiques pouvant limiter son rendement de conversion. Nous allons à présent présenter le procédé standard de fabrication de la cellule solaire en silicium cristallin. Nous passerons également en revue les différentes technologies de cellules.

I.2.6.1 Les principaux types de cellules à base de silicium cristallin

I.2.6.1.1 La cellule solaire standard industrielle

Aujourd'hui, plus de 90% des cellules solaires photovoltaïques en silicium massif industrialisées dans le monde sont réalisées à partir de wafers de type P, que ce soit multicristallin ou monocristallin [38] avec une structure simplifiée, schématisée sur la figure I-23.

Le procédé standard permet aujourd'hui d'atteindre des rendements de conversion de l'ordre de 17% à partir de plaquettes de silicium multicristallin, et autour de 19% pour le monocristallin [38]. La simplification de sa structure permet de réduire son coût de fabrication. Par exemple, la texturation en face avant est réalisée sous forme de « pyramides aléatoires » ou texturation acide. Une couche antireflet, généralement constituée de nitrure de silicium hydrogéné $\text{SiN}_x:\text{H}$ est déposée par « dépôt chimique en phase vapeur assisté par plasma » ou (PECVD pour Plasma-Enhanced Chemical Vapor Deposition). En effet, le $\text{SiN}_x:\text{H}$ peut combiner à la fois des propriétés optiques excellentes et une très bonne passivation de surface. Par ailleurs, il a été montré que l'hydrogène présent dans la couche antireflet ($\text{SiN}_x:\text{H}$) peut diffuser pendant le recuit et atténue ainsi les défauts volumiques en plus des défauts de surface [39].

De même, le champ électrique en face arrière (BSF) est réalisé par sérigraphie en pleine plaque d'une couche d'aluminium. Lors du recuit thermique, il s'en suit la formation d'un eutectique AlSi , qui en refroidissant, forme une zone de silicium cristallin fortement dopé Al. Cette zone (BSF) peut atteindre quelques microns d'épaisseur avec des taux de dopages de l'ordre 10^{18} à 10^{19} at/cm^3 [40].

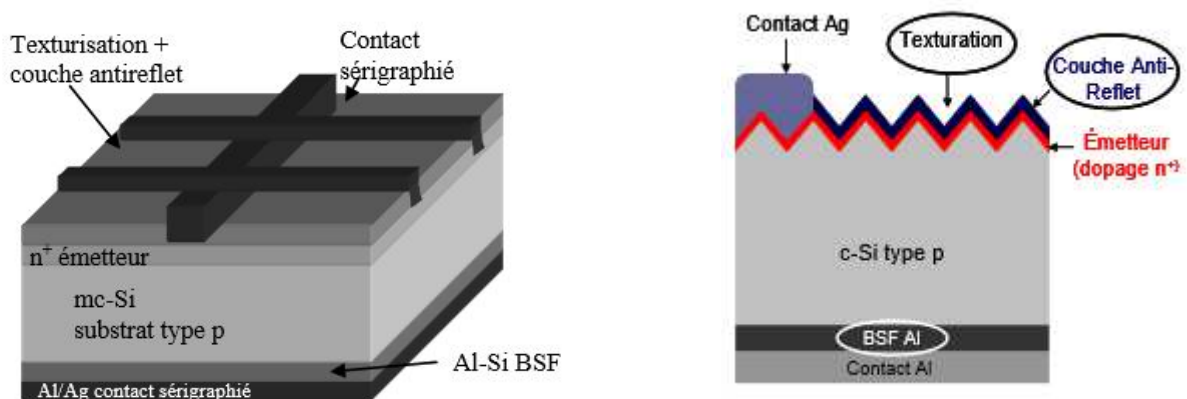


Figure I-23: Structure d'une cellule solaire industrielle en silicium multicristallin. Gauche (vue globale). Droite (vue de coupe) [13]

Le tableau ci-dessous récapitule les étapes de réalisation de la cellule solaire standard (type P) industrielle ainsi que les procédés utilisés.

Tableau III-2: Résumé des étapes de réalisation de la cellule solaire standard de type P

Étape	Procédé de fabrication	Dimension standard (µm)
Substrat	Sciage d'un lingot	150 – 300 (épaisseur)
Texturation	Voie chimique (KOH)	5-15 (taille des pyramides)
Émetteur	Diffusion gazeuse (POCl ₃) → dopage N	0.5 (profondeur de la jonction)
Couche anti-reflet	SiNx :H par (PECVD)	0.7 – 0.8 (épaisseur)
Contact pleine plaque face arrière	Sérigraphie d'aluminium	15 – 30 (épaisseur de la couche d'aluminium)
Métallisation face avant et arrière	Sérigraphie d'argent (Ag)	15 – 30 (épaisseur de la couche d'argent)
Prise de contact face avant + formation du BSF	Recuit rapide	1-5 (profondeur du BSF)
Ouverture de jonction (séparer la jonction avant de la jonction arrière parasite, formée au cours de la diffusion)	Ablation Laser	

1.2.6.1.2 Les cellules solaires à champs arrière localisés avec couches passivantes

Différents axes de recherches ont été menés ces dernières décennies dans le but d'améliorer le rendement des cellules. C'est dans cette optique que le concept de structures de cellules à champs arrière localisé a été développé par l'UNSW (University of New South Wales). Ce concept introduit notamment les structures PERC (Passivated Emitter and Rear Contacts) [41], PERT (Passivated Emitter Rear Totally diffused) et PERL (Passivated Emitter Rear Locally diffused) [42]. Ces structures de cellules sont assez similaires, elles ont pour but la réduction des recombinaisons de surface et de volume en limitant l'augmentation des pertes

résistives. Elles présentent de nombreux points communs, notamment le dopage sélectif en face avant et la passivation en face arrière.

À l'heure actuelle, La structure PERL (figure I-24) détient le record mondial de rendement de conversion sur ce type de cellules. Un rendement de 25% a démontré par l'UNSW sur une cellule de 4 cm² [43,44]. Cette structure nécessite de nombreuses étapes de fabrication et des procédés très sophistiqués issus de l'industrie de la microélectronique sont employés. En effet la face avant est texturée en pyramides inversées, ce qui permet une réduction considérable de la réflectivité par rapport à une simple attaque KOH. Cette méthode de texturation régulière est obtenue grâce à un masque de résine insolé par photolithographie suivie d'une attaque chimique. Par ailleurs, l'émetteur est peu dopé afin de limiter les recombinaisons en surface et la région sous le contact avant est dopée plus fortement afin d'assurer le contact ohmique (on parle de structure à émetteur sélectif). Une fine couche d'oxyde thermique est formée sur l'émetteur pour passiver la surface, et une double couche antireflet est déposée pour réduire au mieux la réflectivité. La face arrière est passivée par de l'oxyde thermique. Cet oxyde est ensuite ouvert localement par une attaque chimique pour la réalisation du contact électrique. La région du contact est préalablement dopée P+ afin d'assurer un bon contact et réaliser le BSF.

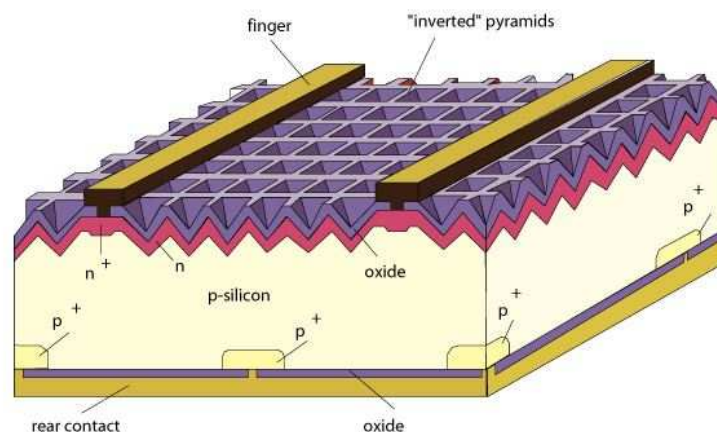


Figure I-24 : Structure de la cellule PERL (Passivated Emitter Rear Locally diffused).
(Source: PVEDUCATION)

Cependant, l'industrialisation de ce type de cellule représente un véritable challenge. En effet, l'utilisation des procédés de la microélectronique n'est pas compatible avec les impératifs de coûts dans l'industrie du solaire photovoltaïque.

Contrairement à la cellule PERL, la structure de la cellule PERC a été simplifiée dans un contexte de transfert industriel. En effet, la cellule PERC, schématisée sur la figure I-25 ne

requiert pas de diffusion locale P^+ pour favoriser la prise de contact [41]. Lorsque la couche diélectrique est réalisée à l'arrière de la cellule, il est nécessaire de graver localement cette dernière. Ces gravures sont généralement faites par gravure plasma, gravure laser ou encore gravure mécanique. Les contacts sont en suite déposés par sérigraphie sur les zones préalablement ouvertes, suivi d'un recuit thermique pour la prise de contact. Trina Solar, un des leaders du marché mondial du photovoltaïque commercialise ce type de cellules. Ce dernier a obtenu un rendement de conversion de 20,8% sur une plaquette de silicium multicristallin de 243 cm² en utilisant la structure PERC [44,45].

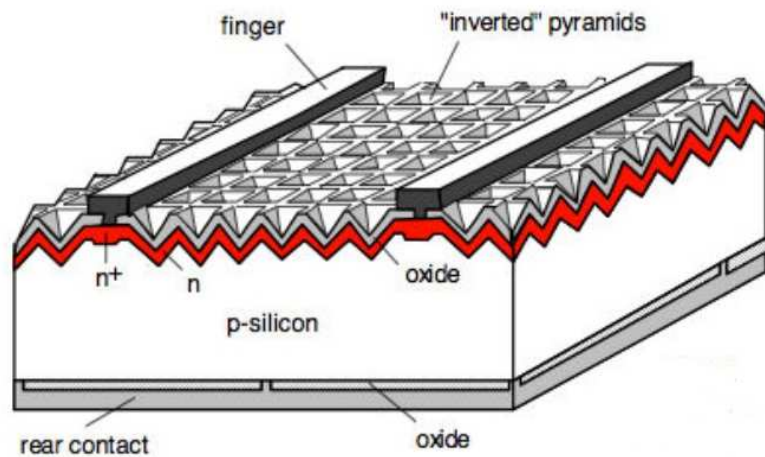


Figure I-25 : Structure de la cellule PERC (Passivated Emitter and Rear Contacts)

I.2.6.1.3 Les cellules solaires à contacts arrières interdigités

La cellule à contacts arrière interdigités, IBC (Interdigitated Back Contacts) représente un fort potentiel de hauts rendements de conversion. En effet, dans cette structure, les zones d'émetteur et de BSF sont réalisées sur la face opposée au rayonnement sous forme de peignes interdigités. Ainsi, on évite l'ombrage optique engendré par les métallisations de la face avant. Cette architecture permet aussi une intégration module plus simple par l'interconnexion coplanaire des cellules, ce qui entraîne un taux de casse plus faible et un plus fort rapprochement des cellules entre elles [46]. La géométrie des contacts peut être librement optimisée afin de diminuer la résistance série. Cependant, cette structure reste assez complexe, car elle nécessite de nombreuses étapes de localisation (zones dopées et métallisation) et de diffusion, mais aussi des plaquettes de très bonnes qualités. En effet, la zone de collecte est dans cette structure loin de la zone de photogénération des porteurs qui est localisée en face avant de la cellule [47]. Afin qu'ils soient collectés, les porteurs minoritaires doivent avoir une longueur de diffusion

plus élevée que la distance entre ces deux zones. Les plaquettes FZ de silicium monocristallin de type N sont souvent utilisées pour cet effet.

SunPower Corp détient le record de rendement de conversion avec la structure IBC 24,2 % sur une surface de 155 cm² (Cz type N) en utilisant les techniques d'alignement par photolithographie (haute précision d'alignement). Pour la commercialisation de ses cellules, SunPower a depuis adapté son procédé de fabrication à des méthodes classiques de sérigraphie. Ainsi, un rendement moyen de 22,4% est atteint sur leur ligne de production et le rendement moyen des modules commercialisés est supérieur à 20% [46].

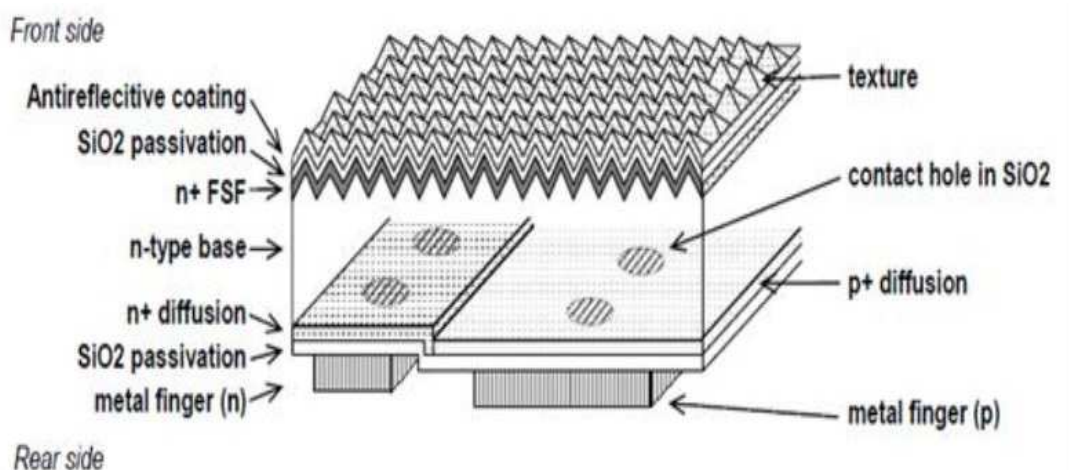


Figure I-26 : Représentation schématique de la cellule IBC A300 de SunPower

[49]

En outre, d'autres cellules de hauts rendements de conversion utilisant la technologies IBC ont été démontrées par IMEC 23,3% [50] et Fraunhofer ISE 23% [51].

Compte tenu de la faible durée de vie des porteurs dans le silicium multicristallin pour ce type de structure, deux structures alternatives à contacts arrières ont été développés :

- La structure EWT (*Emitter Wrap-Trough*), comme la cellule standard, l'émetteur est réalisé en face avant mais dans cette structure tous les contacts métalliques sont en face arrière (figure I-27). L'interconnexion de l'émetteur entre la face avant et la face arrière est réalisée à l'aide d'une multitude de trous dans le substrat. Ces trous, généralement réalisés par laser, sont dopés et permettent ainsi d'assurer la conduction des porteurs de la face avant à la face arrière. Sur la face arrière se trouve aussi une fraction d'émetteur qui permet de contacter l'émetteur et de collecter les porteurs minoritaires générés près de la surface arrière. Les contacts N et P sont représentés en face arrière sous forme de peignes interdigités minimisant l'ombrage de la face avant et permettant aussi une bonne réflectivité de la face arrière. La structure EWT a la même

apparence que les cellules à jonction arrière mais elle a aussi l'avantage de fonctionner avec du silicium multicristallin de faible qualité électronique.

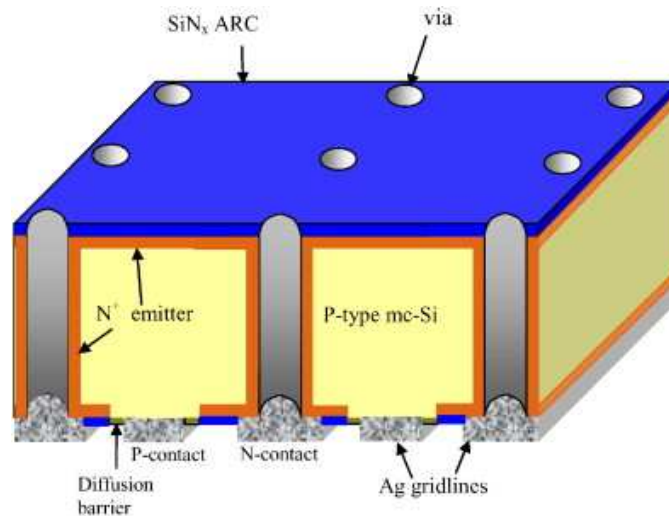


Figure I-27: la structure de la cellule EWT [52]

le record de rendement de conversion sur les cellules EWT est de 21,6%, ce résultat a été obtenu sur une cellule de 4 cm² avec un substrat CZ de type N [53]. Par ailleurs, un rendement de conversion de 21,4% a été obtenu sur un substrat FZ de 92 cm² avec la cellule RISE-EWT [54]. En utilisant des techniques standards de sérigraphie, un rendement de conversion de 19% a été obtenu sur un wafer CZ de dimension standards (156 mm x 156 mm) [55].

Au niveau industriel Advent Solar Inc., produit ce type de cellule sur silicium multicristallin. Sa technologie basée sur la sérigraphie permet d'obtenir des rendements de 15,6% [13]. En outre, Advent Solar a également démontré des rendements de 17,2 % et 16,5 % sur des substrat (243 cm²) de silicium multicristallin et de qualité métallurgique [31,54].

- La structure MWT (Metal Wrap-Through) est un concept de cellule à contacts arrières très proche du concept EWT. Dans ces cellules, l'émetteur est situé en face avant mais une partie de ses contacts sont réalisés en face arrière. En général, le busbar est déplacé en face arrière. Des trous sont réalisés dans le substrat afin de faire le contact entre une fine grille située en face avant de la cellule et les lignes de collections plus épaisses en face arrière.

Plusieurs auteurs ont rapporté des rendements cellules MWT atteignant 20%, voire plus selon la structure et la technologie employée, plus ou moins optimisée avec des couches de passivation. Ces résultats sont obtenus en utilisant du silicium monocristallin de type N ou P comme matériau de base [56–58].

1.2.6.1.4 Les technologies cellules solaires en couches minces de silicium cristallin

Nous remarquons que l'industrie de la solaire photovoltaïque repose essentiellement sur l'utilisation du silicium cristallin comme matériau de base, plus particulièrement sur le silicium multicristallin. Le coût de production de la plaquette de silicium : de la matière première, la croissance et découpe des ligots représente plus de 30% du coût de production du module. Il est donc crucial de réduire le coût de fabrication du substrat. Pour cela, la solution la plus accessible pour les industriels est la réduction de l'épaisseur des plaquettes et/ou l'utilisation de matériaux à bas coûts.

Nous décrirons dans cette partie un état de l'art sur les cellules solaires fabriquées à partir de couches minces de silicium cristallin. De même, nous aborderons les principales technologies de transfert de couches minces de silicium monocristallin sur substrat bas coûts, qui sont des technologies émergentes de réduction de coûts.

Il existe toutefois une filière de fabrication de cellules solaires utilisant des couches « ultra minces » de matériaux semi-conducteurs assez complexes. Cette filière est appelée tout simplement « filière à couches minces ». Elle est constituée de diverses technologies parmi lesquelles on peut citer le Tellure de Cadmium (CdTe), le disélénium de cuivre et d'indium (CIS), le « Cuivre, Indium, Gallium et Sélénium » (CIGS), le silicium amorphe....

Par commodité, dans ce manuscrit, nous appellerons aussi « couches minces de silicium cristallin » les feuilles minces de silicium utilisées pour la fabrication des cellules solaires. Il est donc important de ne pas les confondre avec ladite « filière couches minces ». Ces couches minces peuvent être obtenues par différentes techniques, telles que la croissance épitaxiale, porosification suivie d'un dépôt épitaxiale en vue d'un transfert ou non sur un substrat étranger, par SLiM-Cut, ou encore par sciage fin à fil diamanté ...

❖ Avantage de la technologie couches minces en silicium cristallin :

En plus d'une consommation bien moins importante en silicium purifié, les cellules photovoltaïques en couches minces de silicium cristallin ont de nombreux avantages par rapport aux cellules en silicium massif. D'abord, le rendement théorique limite est plus élevé dans des dispositifs minces. Ceci s'explique par la diminution linéaire du taux de recombinaison en volume avec la diminution de l'épaisseur.

Les couches minces possèdent également une faible tolérance quant à la qualité du matériau. En effet, si l'on considère un matériau avec une longueur de diffusion des porteurs minoritaires égale ou inférieure à l'épaisseur de la cellule, les performances seront faibles. En revanche, si on réalise des cellules dont l'épaisseur est inférieure à la longueur de diffusion des porteurs, alors le taux de collection sera plus élevé.

❖ **Inconvénients de la technologie couches minces en silicium cristallin :**

Pour le silicium, les photons de grande longueur d'onde sont peu absorbés si le substrat est trop mince. Il est alors nécessaire de développer un réflecteur arrière appelé (Back Surface Reflector ou BSR).

La densité de porteurs photogénérés aux environs de la surface arrière augmente de façon d'autant plus importante que le substrat est mince. En effet, les photons non absorbés et réfléchis par le contact arrière entraîneront une photogénération de porteurs au niveau de la face arrière auxquels s'ajouteront les porteurs photogénérés par l'absorption directe du matériau. En d'autres termes, on peut dire que la qualité de la surface arrière deviendra d'autant plus importante que l'épaisseur du substrat sera réduite.

L'optimum en termes d'épaisseur de substrat est de 40-50 μm , à condition que le confinement optique soit excellent, c'est-à-dire une bonne passivation faces avant et arrière, un réflecteur arrière adapté aux grandes longueurs d'ondes non absorbées et des contacts permettant une bonne conduction des porteurs sans augmenter la résistance série totale de la cellule.

Le rendement de conversion (<15%) des cellules solaires à couches minces de silicium microcristallin ou polycristallin est limité par leurs qualités cristallines. Cependant, la recherche s'oriente également vers la fabrication de cellules PV basées sur le report de films minces de silicium monocristallin sur des substrats économiques. En effet, seul le silicium monocristallin autorise l'obtention de rendements de conversion supérieurs à 20%.

❖ **Les principales technologies de transfert de feuilles (couches) minces de silicium multicristallin sur substrats économiques :**

Le principal objectif du transfert de couches est de réduire les coûts de fabrication des cellules. Cette technologie très prometteuse consiste à déposer une couche mince de silicium pur de 10 - 40 μm d'épaisseur sur des substrats de silicium métallurgique peu purifié, verre,

céramique ou métal [59]. Nous citerons les différentes techniques utilisées pour le transfert de couche.

Le dépôt de cette couche mince pure devrait permettre d'avoir des rendements de conversion du même ordre de grandeur que celle d'une cellule sur du silicium cristallin massif avec un coût moindre [60]. Cependant, l'obtention de hauts rendements de conversion nécessite un confinement optique, un champ arrière répulsif pour les porteurs minoritaires, et une couche anti diffusion d'impuretés vers la couche active. La technologie de transfert de couches sur substrats étrangers suscite depuis quelques années un intérêt majeur aux USA et en Europe.

Des centres de recherche photovoltaïque comme l'IMEC en Belgique ou l'ISE Fraunhofer en Allemagne mènent des recherches avancées dans cette technologie [61,62]. L'institut Fraunhofer ISE a développé deux concepts appelés « Wafer Equivalent ». Le premier concept EpiWE (Epitaxial Wafer Equivalent) (figure I-28) consiste à déposer directement par épitaxie CVD, une fine couche de silicium pure sur un substrat de silicium multicristallin ou monocristallin dopé P⁺. Son principal avantage est qu'une seule étape de traitement, à savoir l'épithaxie de silicium, est nécessaire pour sa fabrication. De plus il est entièrement compatible avec toutes les étapes des procédés standards industriels utilisés aujourd'hui pour la fabrication de cellules. Les rendements obtenus des cellules solaires fabriquées à partir de Wafer Equivalent (EpiWE) sont aux alentours de 12-13% sur substrat monocristallin et multicristallin [62]. Ces rendements sont principalement limités par le courant de court-circuit relativement faibles. Ceci est dû à la faible absorption lumineuse dans l'épaisseur de la couche fine couche active.

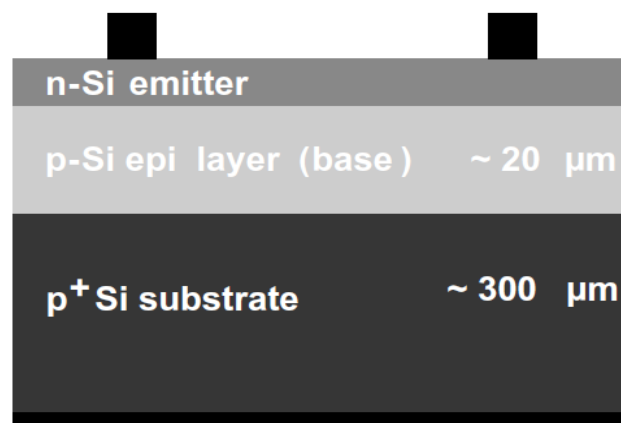


Figure I-28 Schéma d'une cellule solaire fabriquée sur EpiWE [62].

Le deuxième concept appelé ReXWE (Recrystallized Wafer Equivalent) est présenté sur la figure I-29. Ce dernier est un peu plus complexe que le concept EpiWE. Celui-ci ne nécessite pas d'un substrat de très bonne qualité cristalline et de très haute pureté. Ainsi, des substrats

bas coûts comme le silicium de qualité métallurgique ou encore des céramiques peuvent être utilisés dans ce concept. Une fine couche de silicium P⁺ est déposée par épitaxie CVD sur le substrat préalablement recouvert d'une couche anti-diffusion (SiO₂, SiC) des impuretés. Une étape de recristallisation ZMR (Zone Melting Recrystallization) est nécessaire pour accroître les grains micrométriques et obtenir une bonne qualité cristalline de la couche de silicium P⁺ déposée. Enfin, un deuxième dépôt épitaxial est réalisé sur la couche intermédiaire. À partir de l'approche ReXWE (recristallisation et croissance de silicium par épitaxie), Kieliba et al ont obtenu un rendement de conversion de 13,5% sur un substrat Cz avec une couche intermédiaire en SiO₂ [63,64].

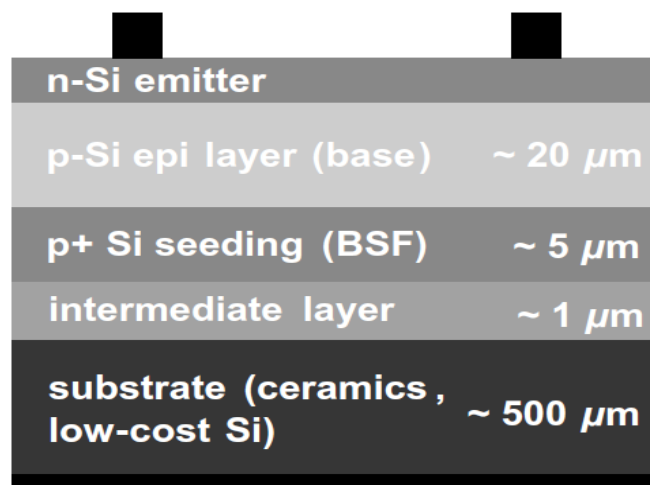


Figure I-29: Schéma d'une cellule solaire fabriquée sur RexWE [62].

Dans la même approche de réalisation de cellule sur un substrat de silicium recristallisé, P. Bellanger et al [65] ont obtenu un rendement de 8,9% directement sur un substrat de silicium fritté de type P, produit par la société S'Tile, et recristallisé dans un four de type ZMR (Zone Melting Recrystallization). Des procédés standards tels que la diffusion POCl₃ pour la formation de la jonction PN ont été utilisés dans ce cas, sur une structure de cellule non optimisée (sans passivation).

Dans la quête de réduire le coût de fabrication de cellules solaires en silicium, l'IMEC a travaillé également avec succès sur deux concepts de cellules cristallines de Si « couche mince ».

Dans le premier concept, des cellules solaires à base de couches minces de silicium d'environ 20 µm sont obtenues par une croissance épitaxiale sur du silicium poreux (multicouche) utilisé dans ce cas comme un réflecteur de type Bragg [66]. Le réflecteur Bragg est obtenu par une gravure électrochimique d'un substrat Cz fortement dopé. Ainsi, K. Van Nieuwenhuysen et al

[67] ont montré un rendement de 16% avec ce concept. L'architecture de la cellule est présentée sur la [figure I-31](#). Avant le dépôt épitaxial, une couche réfléchrice de silicium poreux est gravée par électrochimie dans le substrat Cz fortement dopé. La couche poreuse est ensuite fermée à la surface par un recuit sous hydrogène. Ainsi cette couche permettra d'augmenter l'absorption de lumière qui augmente le courant de court-circuit. Le BSF est ensuite réalisé sur la couche poreuse (réflectrice) par épitaxie CVD d'une couche de silicium P+ (fortement dopé au bore), suivi du dépôt de la couche active. Enfin une couche émettrice est ajoutée par épitaxie sur la couche de silicium (Si-P) précédemment déposée. Par ailleurs, des cellules solaires de grande surface avec un rendement de 15,2% ont été réalisées en utilisant des procédés industriels [66]. Ceci a montré que ce concept de cellule a atteint le stade d'application industrielle.

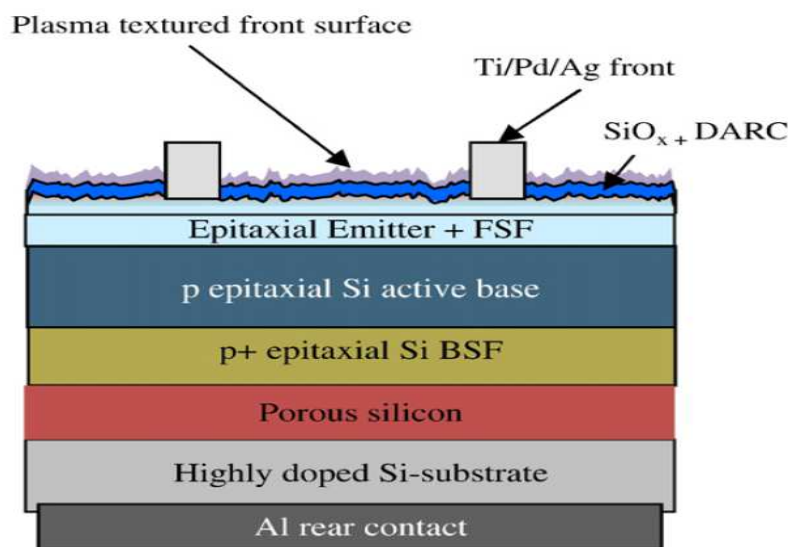


Figure I-31: Schéma de la cellule solaire épitaxiale développée par l'IMEC, avec un émetteur déposé par épitaxie et une couche de silicium poreux réfléchrice [67]

Le deuxième concept appelé « Epifree » ([figure I-32](#)) est basé sur le processus de transfert de fines couches de silicium poreux [68,69]. Ces couches poreuses sont développées par électrochimie à partir de plaquettes monocristallines. Le processus est basé sur la capacité à détacher une couche fine de silicium poreux à l'épaisseur et à la surface souhaitée. Un traitement thermique est ensuite nécessaire pour réorganiser la surface de la couche poreuse. Enfin une étape de dépôt épitaxie sur la couche traitée thermiquement permet d'obtenir des wafers dotés de couches de silicium épitaxiés de bonne qualité. Avec ce concept Brendel et al [68] ont obtenu un rendement 15,4 % sur ce type de cellules solaires préparées par transfert de fines couches en utilisant du silicium poreux. En utilisant son procédé basé sur la technique SPS (Sacrificial Porous Silicon), Sony a démontré des rendements de 12,5 % sur une cellule

monocristalline de $12\mu\text{m}$ d'épaisseur et 14% sur une épaisseur de $24\mu\text{m}$ [70]. Le procédé ψ (ou PSI pour Porous Silicon) développé par ZAE Bayern, a permis d'obtenir 15,4% de rendement sur une cellule de $25\mu\text{m}$ d'épaisseur en utilisant un substrat texturé, et 13,3 % sur une cellule de $18\mu\text{m}$. L'Université de Stuttgart a obtenu 16,6 % avec leur procédé QMS (Quasi Monocrystalline Silicon) de $44,5\mu\text{m}$ d'épaisseur. Le procédé ELTRAN développé par Canon pour la microélectronique pour la formation de SOI (Silicon On Insulator). Le procédé SCLIPS (Solar Cells by Liquid Phase Epitaxy over Porous Si), qui en est dérivé, a permis d'obtenir un rendement de 9,3 %. Le procédé FMS (Freestanding Monocrystalline Silicon) de l'IMEC, dérivé de leur procédé LAST (LAYER Separation and Transfer) et qui consiste en un détachement électrochimique de la couche poreuse a obtenu un rendement de 12,6%. Mitsubishi a obtenu 16 % sur une cellule de 96 cm^2 grâce à son procédé VEST (Via hole Etching for the Separation of Thin films). En utilisant le procédé PSI (Porous Silicon), l'équipe de chercheurs de l'institut ISHF d'Hanovre dirigée par le Prof R. Brendel a obtenu récemment un rendement de 19 % par transfert d'une couche mince de silicium ($43\mu\text{m}$) sur substrat. Ce résultat démontre le potentiel important de ce type de cellule solaire [71]. L'approche du wafer Mono-EQ® développé par la société S'Tile a permis d'obtenir un rendement de 16%. Le wafer Mono-EQ® consiste en un transfert de couche mince de silicium monocristallin sur un substrat de silicium fritté bas coût [72,73].

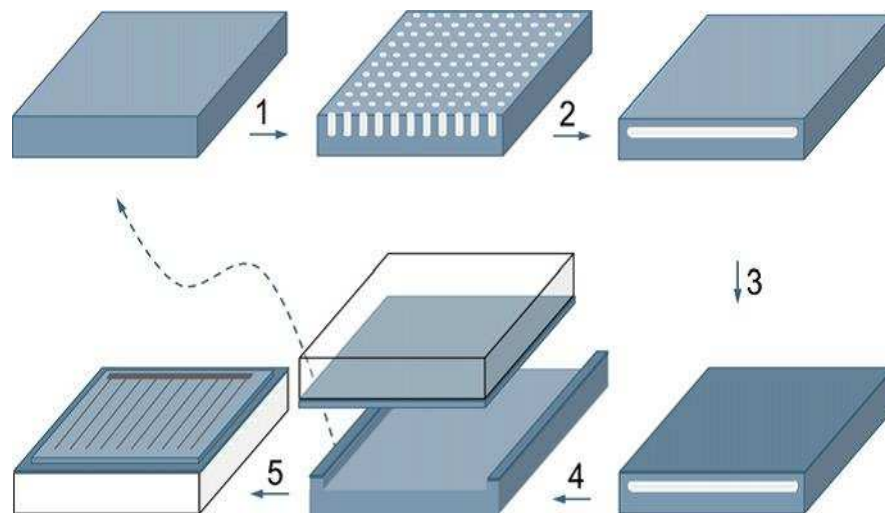


Figure I-32: : Schéma du concept Epifree de fabrication de cellule solaire composé de 5 étape ; (1) formation de pores, (2) traitement thermique, (3) traitement de la première face (4) collage sur un substrat à bas coût (5) traitement de la deuxième face de la cellule et réutilisation de la plaquette mère [35].

Les technologies couches minces de silicium cristallin sur substrats étrangers ont la particularité de combiner les avantages du silicium cristallin standard, à savoir la robustesse, la

durabilité, les bonnes propriétés électroniques et le respect environnemental avec la réduction de pertes de matières premières et l'utilisation de matériaux bas coûts.

Les résultats présentés dans cet état de l'art témoignent du niveau de maturité des techniques d'obtention de couches minces de haute qualité électronique et cristalline. Cependant, le défi majeur de cette technologie est le choix d'un substrat à bas coût, stable à haute température et compatible avec la couche déposée. La Société S'Tile en collaboration avec l'ISE Fraunhofer et l'IMEC en Belgique, développe cette technologie en vue de l'installation d'une ligne pilote. S'Tile produit déjà des substrats à bas coût de silicium.

Par ailleurs, quatre principales sociétés parmi lesquelles Crystal solar et Solixel aux USA, sont soutenues par d'importants investissements dans le but de l'industrialisation de la technologie. Ces dernières n'ont cependant pas eu un grand succès dans l'industrie du photovoltaïque.

D'importantes recherches ont été menées ces dernières années sur d'autres techniques de fabrication de couches minces de silicium cristallin de haute qualité, parmi lesquelles, on rencontre le concept Stress induced Lift-off Method, schématisé sur la [figure I-33](#). SLiM-Cut est une technologie sans sciage pour la fabrication de silicium minces, développé à l'IMEC pour les applications photovoltaïques [35]. Cette méthode permet le détachement et le transfert de couches d'environ 50 μm de silicium cristallin sur un substrat étranger. Le substrat parent sera ensuite traité et recyclé pour produire davantage de couches, ce qui permettra de réduire considérablement la perte de matériaux et réduit ainsi le coût du silicium.

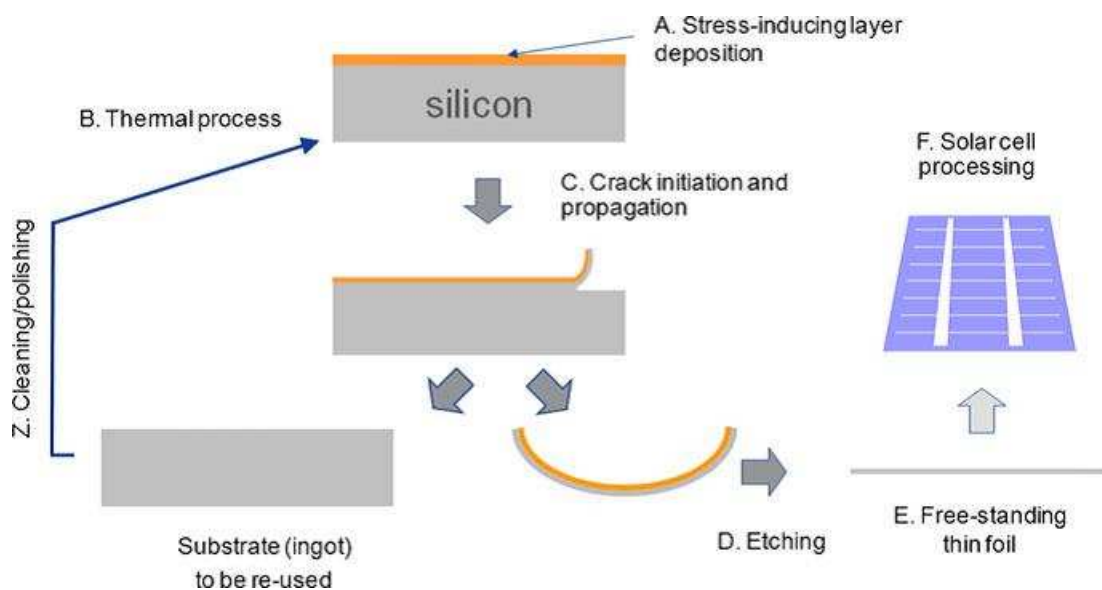


Figure I-33: Schéma du procédé SLiM-Cut (Stress induced Lift-off Method) [35].

I.2.7 Conclusion du chapitre I

Nous avons décrit dans ce chapitre le principe de fonctionnement d'une cellule solaire conventionnelle ainsi que les facteurs limitatifs du rendement de conversion photovoltaïque. Nous avons passé en revue les principales technologies de fabrication de cellules solaires photovoltaïques. En effet, plusieurs technologies de cellules solaires photovoltaïques se sont développées ces dernières décennies, mais elles restent cependant largement dominées par la technologie silicium cristallin. Cependant, le coût de fabrication de la plaquette de silicium représente au moins 30% du prix de module.

Afin de concurrencer les filières énergies fossiles, et d'augmenter la part des énergies solaires dans le bouquet énergétique, il est donc crucial de réduire le prix du module photovoltaïque. La solution la plus accessible pour y parvenir réside dans la réduction de la consommation des matériaux de haute pureté (donc de l'utilisation de couches minces de silicium cristallin), mais aussi dans l'utilisation de substrats économiques. Pour cela, des technologies séduisantes ont été développées ces dernières années. Parmi elles, le dépôt de couches minces de silicium de cristallin par épitaxie CVD. En effet, cette technique a montré des résultats intéressants, mais il n'existe pas de machines industrielles pour une production de masse. De même, la technique de SLiM-Cut nécessite encore beaucoup de développements pour une éventuelle industrialisation.

Les technologies de transfert de feuilles minces de silicium monocristallin sur substrat étranger bas coût, employées par S'Tile, IMEC, Solexel, ou encore Crystal Solar ; représentent un potentiel de rendement cellule élevé (supérieur à 20%) avec des coûts réduits. Ces techniques ont la particularité de combiner à la fois, l'avantage du haut potentiel de rendement de conversion du silicium monocristallin mais aussi l'utilisation de substrats économiques.

En outre, le choix du substrat (ou support) de la feuille mince reste un défi majeur ; car il doit être économique, compatible avec le silicium, stable et résistant aux étapes de haute température lors de la réalisation de la cellule. Le substrat proposé par S'Tile, réalisé par frittage de poudre de silicium de qualité métallurgique répond parfaitement à ces exigences.

Bibliographie du chapitre 1

- [1] A. Straboni, Electronic structure including an epitaxial layer on sintered silicon, WO/2010/112782, 2010.
- [2] AIE, Key World Energy Statistics, (2014).
- [3] AIE, Key World Energy Statistics, (2011).
- [4] A. Becquerel, Recherches sur les effets de la radiation chimique de la lumière solaire au moyen des courants électriques, Comptes Rendus L'Académie Sci. 9 (1839) 145–149.
- [5] A. Becquerel, Mémoire sur les effets d'électriques produits sous l'influence des rayons solaires, Ann. Physick Chem. 54 (1841) 35–42.
- [6] R.E. Adams, Day, The Action of Light on Selenium, Proc. R. Soc. Lond. A25 (1877) 113.
- [7] S. Abouda, Contribution à la commande des systèmes photovoltaïques : application aux systèmes de pompes. Thèse de doctorat, Reims, 2015.
- [8] W. Shockley, The Theory of p-n Junctions in Semiconductors and p-n Junction Transistors, Bell Syst. Tech. J. 28 (1949) 435–489.
- [9] J. Bardeen, W.H. Brattain, The Transistor, A Semi-Conductor Triode, Phys. Rev. 74 (1948) 230–231.
- [10] D.M. Chapin, C.S. Fuller, G.L. Pearson, A New Silicon p-n Junction Photocell for Converting Solar Radiation into Electrical Power, J. Appl. Phys. 25 (1954) 676–677
- [11] J. Szlufcik, al, Low-cost industrial technologies of crystalline silicon solar cells, Proceeding IEEE. 85 (1997) 711–730.
- [12] A. Goetzberger, J. Knobloch, B. Voss, Crystalline silicon solar cells, Wiley, Chichester : New York, 1998.
- [13] P. Papet, Nouveaux concepts pour la réalisation de cellules photovoltaïques à contacts interdigités sur substrats minces en silicium cristallin, Thèse de doctorat, INSA de Lyon, 2007.

- [14] M.A. Green, Limits on the open-circuit voltage and efficiency of silicon solar cells imposed by intrinsic Auger processes, *IEEE Trans. Electron Devices*. 31 (1984) 671–678.
- [15] G. Poulain, Procédés laser pour la réalisation de cellules photovoltaïques en silicium à haut rendement, Thèse de doctorat, INSA de Lyon, 2012.
- [16] R.M. Swanson, Approaching the 29% limit efficiency of silicon solar cells, in: *Conf. Rec. Thirty-First IEEE Photovolt. Spec. Conf.* 2005, 2005: pp. 889–894.
- [17] M.J. Kerr, Surface, Emitter and Bulk Recombination in Silicon and Development of Silicon Nitride Passivated Solar Cells, Thèse de doctorat, Australian National University, 2002.
- [18] W.C. O'Mara, R.B. Herring, L.P. Hunt, eds., *Handbook of semiconductor silicon technology*, Noyes Publications, Park Ridge, N.J, 1990.
- [19] M.M. Hilali, Understanding and development of manufacturable screenprinted contacts on high sheet-resistance emitters for low-cost silicon solar cells, Thèse de doctorat, Georgia Institute of Technology, 2005.
- [20] P. Bellanger, Étude d'un procédé de recristallisation de plaquettes de silicium fritté pour la réalisation de cellules solaires photovoltaïques, Thèse de doctorat, INSA de Lyon, 2010.
- [21] A. Sow, Étude de la purification des poudres de silicium destinées à la fabrication de substrats frittés pour des applications photovoltaïques, Thèse de doctorat, Poitiers, 2011.
- [22] G. Nouet, P. Lay, J.L. Chermant, Le silicium polycristallin Polix : élaboration, propriétés et performances, *Rev. Phys. Appliquée*. 22 (1987) 535–547.
- [23] P.R. De Coligny, Analyse et optimisation du procédé de découpe de plaques de silicium, Thèse de doctorat, Ecole des Mines de Paris, 2002.
- [24] N. Drouiche, P. Cuellar, F. Kerkar, S. Medjahed, N. Boutouchent-Guerfi, M. Ould Hamou, Recovery of solar grade silicon from kerf loss slurry waste, *Renew. Sustain. Energy Rev.* 32 (2014) 936–943.
- [25] L. Candreia, Meyer Burger AG et ses solutions pour l'industrie solaire.
- [26] S. Schwinde, M. Berg, M. Kunert, New potential for reduction of kerf loss and wire consumption in multi-wire sawing, *Sol. Energy Mater. Sol. Cells*. 136 (2015) 44–47.

- [27] A. Schönecke, L. Laas, A. Gutjahr, M. Goris, P. Wyers, Ribbon-Growth-on-Substrate: Status, Challenges and Promises of High Speed Silicon Wafer Manufacturing, in: IEEE, 2006: pp. 972–975.
- [28] W. Schmidt, B. Woesten, J.P. Kalejs, Manufacturing technology for ribbon silicon (EFG) wafers and solar cells, Prog. Photovolt. Res. Appl. 10 (2002) 129–140.
- [29] G. Hahn, P. Geiger, Record efficiencies for EFG and string ribbon solar cells, Prog. Photovolt. Res. Appl. 11 (2003) 341–346.
- [30] P. Keller, U. Hess, S. Seren, J. Junge, F. de Moro, G. Hahn, Over 14% Efficiency on
- [31] S.C. Singh, Solar photovoltaics: fundamentals, technologies and applications, PHI Learning Pvt. Ltd., 2015. RST-Ribbon Solar Cells, (2012).
- [32] U. Hess, P.Y. Pichon, S. Seren, A. Schönecker, G. Hahn, Crystal defects and their impact on ribbon growth on substrate (RGS) silicon solar cells, Sol. Energy Mater. Sol. Cells. 117 (2013) 471–475.
- [33] H. Mitsuyasu, H. Yamatsugu, S. Goma, R. Oishi, K. Yoshida, K. Yano, et al., Characteristics of CDS Silicon Wafers, (2008).
- [34] J. Vaes, A. Masolin, A. Pesquera, F. Dross, SLiM-cut thin silicon wafering with enhanced crack and stress control, in: L. Tsakalakos (Ed.), 2010: p. 777212.
- [35] I. Gordon, F. Dross, V. Depauw, A. Masolin, Y. Qiu, J. Vaes, et al., Three novel ways of making thin-film crystalline-silicon layers on glass for solar cell applications, Sol. Energy Mater. Sol. Cells. 95 (2011) S2–S7
- [36] M. Bruel, Process for the production of thin semiconductor material films, US5374564..
- [37] F. Abdo, Croissance de couches minces de silicium par épitaxie en phase liquide à basse température pour applications photovoltaïques, Thèse de doctorat, INSA de Lyon, 2007.

- [38] R. Brendel, T. Dullweber, R. Gogolin, H. Hannebauer, N.-P. Harder, J. Hensen, et al., Recent Progress And Options For Future Crystalline Silicon Solar Cells, in: Paris, 2013.
- [39] F. Duerinckx, J. Szlufcik, Defect passivation of industrial multicrystalline solar cells based on PECVD silicon nitride, *Sol. Energy Mater. Sol. Cells.* 72 (2002) 231–246.
- [40] S. Narasimha, A. Rohatgi, A.W. Weeber, An optimized rapid aluminum back surface field technique for silicon solar cells, *IEEE Trans. Electron Devices.* 46 (1999) 1363–1370.
- [41] A.W. Blakers, A. Wang, A.M. Milne, J. Zhao, M.A. Green, 22.8% efficient silicon solar cell, *Appl. Phys. Lett.* 55 (1989) 1363.
- [42] J. Zhao, A. Wang, M.A. Green, High-efficiency PERL and PERT silicon solar cells on FZ and MCZ substrates, *Sol. Energy Mater. Sol. Cells.* 65 (2001) 429–435.
- [43] M.A. Green, K. Emery, Y. Hishikawa, W. Warta, E.D. Dunlop, Solar cell efficiency tables (version 44): Solar cell efficiency tables, *Prog. Photovolt. Res. Appl.* 22 (2014) 701–710.
- [44] M.A. Green, K. Emery, Y. Hishikawa, W. Warta, E.D. Dunlop, Solar cell efficiency tables (Version 45): Solar cell efficiency tables, *Prog. Photovolt. Res. Appl.* 23 (2015) 1–9.
- [45] P. Verlinden, W. Deng, X. Zhang, Y. Yang, J. Xu, Y. Shu, Strategy, Development and Mass Production of High-Efficiency Crystalline Si PV Modules, in: Kyoto, 2014.
- [46] S. De Vecchi, Développement de cellules photovoltaïques à hétérojonction de silicium et contacts interdigités en face arrière, Thèse de doctorat, INSA de Lyon, 2013.
- [47] F. Duerinckx, K.V. Nieuwenhuysen, H. Kim, I. Kuzma-Filipek, H. Dekkers, G. Beaucarne, et al., Large-area epitaxial silicon solar cells based on industrial screen-printing processes, *Prog. Photovolt. Res. Appl.* 13 (2005) 673–690.
- [48] P.J. Cousins, D.D. Smith, H.-C. Luan, J. Manning, T.D. Dennis, A. Waldhauer, et al., Generation 3: Improved performance at lower cost, in: IEEE, 2010: pp. 000275–000278.
- [49] N. Oleksiy, Simulation, fabrication et analyse de cellules photovoltaïques à contacts arrières interdigités, Thèse de doctorat, INSA de Lyon, 2005.

- [50] P.J. Verlinden, M. Aleman, N. Posthuma, J. Fernandez, B. Pawlak, J. Robbelein, et al., Simple power-loss analysis method for high-efficiency Interdigitated Back Contact (IBC) silicon solar cells, *Sol. Energy Mater. Sol. Cells*. 106 (2012) 37–41.
- [51] C. Reichel, F. Granek, M. Hermle, S.W. Glunz, Back-contacted back-junction *n*-type silicon solar cells featuring an insulating thin film for decoupling charge carrier collection and metallization geometry: Back-contacted back-junction *n*-type silicon solar cells, *Prog. Photovolt. Res. Appl.* (2012).
- [52] M.M. Hilali, J.M. Gee, P. Hacke, Bow in screen-printed back-contact industrial silicon solar cells, *Sol. Energy Mater. Sol. Cells*. 91 (2007) 1228–1233.
- [53] F. Kiefer, C. Ulzhofer, T. Brendemuhl, N.-P. Harder, R. Brendel, V. Mertens,, et al., High efficiency *n*-type emitter-wrap-through silicon solar cells, in: *IEEE*, 2011: pp. 3341–3341.
- [54] N.-P. Harder, S. Hermann, A. Merkle, T. Neubert, T. Brendemühl, P. Engelhart, et al., Laser-processed high-efficiency silicon RISE-EWT solar cells and characterisation, *Phys. Status Solidi C*. 6 (2009) 736–743.
- [55] J.M. Gee, P. Kumar, J. Howarth, T. Schroeder, J. Franklin, J. Dominguez, et al., Development of industrial high-efficiency back-contact czochralski-silicon solar cells, *Prog. Photovolt. Res. Appl.* 19 (2011) 887–893.
- [56] E. Lohmüller, M. Thanasa, B. Thaidigsmann, F. Clement, D. Biro, Electrical properties of the rear contact structure of MWT silicon solar cells, *Sol. Energy Mater. Sol. Cells*. 137 (2015) 293–302.
- [57] N. Guillevin, A. Gutjahr, L.J Geerligs, J. Anker, E.E. Bende, I.J Bennett,, et al., High Efficiency *n*-Type Metal-Wrap-Through Cells and Modules Using Industrial Processes, (2014).
- [58] E. Lohmuller, B. Thaidigsmann, M. Pospischil, U. Jager, S. Mack, J. Specht, et al., 20% Efficient Passivated Large-Area Metal Wrap Through Solar Cells on Boron-Doped Cz Silicon, *IEEE Electron Device Lett.* 32 (2011) 1719–1721.
- [59] K. R. Catchpole, M. J. McCann, K. J. Weber, A. W. Blakers, A review of thin-film crystalline silicon for solar cell applications. Part 2: Foreign substrates, *Sol. Energy Mater. Sol. Cells*. 68 (2001) 173–215.

- [60] S. Reber, A. Eyer, F. Haas, High-throughput zone-melting recrystallization for crystalline silicon thin-film solar cells, *J. Cryst. Growth*. 287 (2006) 391–396.
- [61] G. Beaucarne, F. Duerinckx, I. Kuzma, K. Van Nieuwenhuysen, H.J. Kim, J. Poortmans, Epitaxial thin-film Si solar cells, *Thin Solid Films*. 511-512 (2006) 533–542.
- [62] S. Reber, A. Hurre, A. Eyer, G. Willeke, Crystalline silicon thin-film solar cells—recent results at Fraunhofer ISE, *Sol. Energy*. 77 (2004) 865–875.
- [63] T. Kieliba, Zone-melting recrystallization for crystalline silicon thin-film solar cells, *Als Ms. gedr, dissertation.de*, Berlin, 2006.
- [64] Kieliba, T, Pohl, J, Eyer, A, Schmiga, C, eds., Optimization of c-Si films formed by zone-melting recrystallization for thin-film solar cells, WCPEC-3 Organizing Committee, [Osaka, Japan], 2003.
- [65] P. Bellanger, A. Sow, M. Grau, A. Augusto, J.M. Serra, A. Kaminski, et al., New method of fabricating silicon wafer for the photovoltaic application based on sintering and recrystallization steps, *J. Cryst. Growth*. 359 (2012) 92–98.
- [66] J. Van Hoeymissen, V. Depauw, I. Kuzma-Filipek, K. Van Nieuwenhuysen, M.R. Payo, Y. Qiu, et al., The use of porous silicon layers in thin-film silicon solar cells, *Phys. Status Solidi A*. 208 (2011) 1433–1439.
- [67] K. Van Nieuwenhuysen, M.R. Payo, I. Kuzma-Filipek, J. Van Hoeymissen, G. Beaucarne, J. Poortmans, Epitaxially grown emitters for thin film silicon solar cells result in 16% efficiency, *Thin Solid Films*. 518 (2010) S80–S82.
- [68] R. Brendel, K. Feldrapp, R. Horbelt, R. Auer, 15.4%-efficient and 25 μm -thin crystalline Si solar cell from layer transfer using porous silicon, *Phys. Status Solidi A*. 197 (2003) 497–501.
- [69] C.S. Solanki, R.R. Bilyalov, J. Poortmans, G. Beaucarne, K. Van Nieuwenhuysen, J. Nijs, et al., Characterization of free-standing thin crystalline films on porous silicon for solar cells, *Thin Solid Films*. 451-452 (2004) 649–654.
- [70] R. Brendel, Review of Layer Transfer Processes for Crystalline Thin-Film Silicon Solar Cells, *JPN. J. Appl. Phys.* 40 (2001) 4431–4439.

- [71] J.H. Petermann, D. Zielke, J. Schmidt, F. Haase, E.G. Rojas, R. Brendel, 19%-efficient and 43 μm -thick crystalline Si solar cell from layer transfer using porous silicon: 19% efficient and 43 μm -thick crystalline Si solar cell, *Prog. Photovolt. Res. Appl.* 20 (2012) 1–5.
- [72] Y. Boye, G. Sun, F. Chancerel, A. Sow, J.-B Brette, A. Petit., et al., Oxidation of Pressed Sintered Silicon Substrate for Integrated Solar Cell, 29th Eur. Photovolt. Sol. Energy Conf. Exhib. (2014) 706–709.
- [73] F. Chancerel, Y. Boye, G. Sun, A. Sow, J.-B Brette, B. Sionneau,, et al., Integrated Solar Cell Based on Monocrystalline Si Thin Film Transferred to Low Cost Sintered Si Wafers, 29th Eur. Photovolt. Sol. Energy Conf. Exhib. (2014) 1937 – 1940.

Chapitre II : Évolutions technologiques de la société S'Tile et contexte

II.1 Motivations

Dans la quête de réduire le coût de fabrication de la plaquette ainsi que la perte de matière associée à l'étape de découpe, de nombreuses technologies alternatives proposant des techniques permettant de s'affranchir de l'étape de sciage (Kerfless) ont vu le jour. Ainsi la société S'Tile propose une technologie innovante et prometteuse de production de plaquettes directement par frittage de poudre de silicium. Plusieurs études ont été menées dans le passé pour réaliser des cellules solaires sur le substrat fritté bas coût, notamment en utilisant le wafer de silicium fritté comme couche active de la cellule solaire après une étape préalable de recristallisation. Le substrat fritté peut également être utilisé comme support pour les cellules en couches minces de silicium cristallin, réalisées soit par dépôt ou par transfert de couche mince de silicium.

Par ailleurs, dans la technologie « cellule intégrée ou i-Cell », la plaquette de silicium fritté remplit la double fonction de support mais aussi d'électrode arrière de la cellule. Le développement de la cellule intégrée qui est l'objet principal de ces travaux de thèse sera présenté en détail dans le quatrième chapitre de ce manuscrit.

Dans ce chapitre, nous passerons en revue les études antérieures de réalisation de cellules solaires sur le substrat de silicium fritté. Nous présenterons brièvement les limites des différentes technologies employées.

II.2 Présentation et historique de la société S'Tile

S'Tile est une start-up issue de l'Université de Poitiers fondé en 2007 par le Pr. Alain Straboni. Tout a commencé en 2001, lors de la Thèse d'E. Béré [6] au Laboratoire de Physique des Matériaux (PHYMAT) de l'Université de Poitiers, dirigée par le Prof Straboni, où le silicium fritté est pour la première fois étudié pour des applications photovoltaïques. Ces travaux étaient orientés principalement sur le broyage et le frittage naturel (sans charge) de poudre de silicium. En 2003 les brevets CNRS/Université de Poitiers sur le frittage de silicium [1] sont déposés. Puis dans sa Thèse, K. Derbouz [2] établit pour le frittage sous charge une relation semi-empirique liant la porosité du fritté à la température, la pression et la durée du frittage. Ces travaux ont été consolidés par plusieurs autres travaux de Thèse. P. Bellanger a étudié la réalisation de cellules solaires par recristallisation du substrat de silicium fritté [3]. A. Sow a mis au point un procédé de purification des impuretés dans les poudres de silicium de qualité métallurgique [4]. Les travaux de M. Grau ont conduit à la réalisation de cellules solaires à partir de couches de silicium, déposées par épitaxie sur le substrat de silicium fritté

recristallisé [5]. Enfin, le présent manuscrit porte sur la réalisation de la cellule solaire intégrée (i-Cell) sur le substrat fritté. Pour cela, des études sur la réalisation du substrat fritté, l'isolation du substrat fritté par oxydation thermique, la réalisation de zone de conduction locales (caissons) sur le fritté, le transfert de couches minces de silicium y sont présentées. Les résultats des cellules intégrées ainsi que leur mise en module y seront également discutés.

La création de S'Tile a été principalement soutenue par les investissements de type capital-risque à hauteur de 1,2 M d'euros de la société EMERTEC, par le ministère de la recherche par le biais d'OSEO (400 k€), mais aussi par la Région Poitou-Charentes. Grâce à sa levée de fonds réalisée récemment, S'Tile produira les premières cellules intégrées (i-Cell) issues de sa ligne pilote d'une capacité de 15 MW/an courant 2016. Les cellules produites à partir de cette ligne auront des rendements de conversion comparables voire supérieurs à celles des cellules conventionnelles mais avec des coûts de production 30% moins élevés.

II.3. État de l'art : Évolutions technologiques de S'Tile

Depuis sa création, S'Tile ne vise qu'un seul objectif : le développement de procédés de fabrication de cellules solaires sur son substrat de silicium fritté en vue de son industrialisation.

Après la démonstration du procédé de frittage de poudre de silicium pour des applications photovoltaïques lors des travaux de recherches [2,6] précités ci-dessus, plusieurs voies d'investigation ont été menées ces dernières années pour la réalisation de la cellule solaire sur le substrat de silicium fritté. Nous présenterons dans cette partie le procédé de frittage pour la réalisation des wafers ainsi que les différentes voies d'investigation pour la réalisation de cellules solaires sur le substrat de silicium fritté.

II.3.1. Le procédé de frittage de poudres de silicium

II.3.1.1. Introduction

Le principal objectif de l'utilisation du procédé de frittage de silicium pour des applications photovoltaïques est d'éviter l'étape de sciage de plaquettes. Nous avons vu que cette étape engendre plus de 50% de la masse du lingot de départ. En effet, avec ce procédé, les wafers sont produits séparément dès le départ contrairement au procédé conventionnel de solidification directionnelle. Quelle que soit la voie adoptée, la maîtrise du procédé de frittage de silicium est une phase importante dans les différents procédés développés par S'Tile.

Le frittage est le passage d'un état compact pulvérulent à celui de matériau cohérent sous l'action de la chaleur. Ceci implique la formation de liaisons rigides entre les particules de

poudre. Il s'effectue par définition à des températures inférieures à la température de fusion du matériau en question. Compte tenu de la surface spécifique élevée de la poudre, le frittage est accompagné par la réduction de l'énergie libre du système [3].

Dans le cas des matériaux covalents, le frittage est difficile en raison des liaisons covalentes non plastiques. L'énergie d'activation nécessaire aux processus d'autodiffusion est très élevée et les mécanismes de densification restent peu actifs. Il faut donc apporter une énergie supplémentaire afin de diminuer considérablement la porosité résiduelle : dans notre cas, les poudres de silicium sont pressées à hautes températures. Il en résulte soit un grossissement des grains (mûrissement d'Ostwald), soit une soudure des grains, avec ou sans densification. Le procédé de frittage présente l'avantage de pouvoir choisir la forme (forme du moule utilisé) et la densité du matériau fritté (selon les conditions de frittage).

II.3.1.2. Les mécanismes théoriques de frittage

II.3.1.2.1. Évolution générale

Tout d'abord, les poudres sont préalablement mises en forme et comprimées. Lors de cette étape, la réorganisation des particules s'effectue par réarrangement et glissement. Les mécanismes de frittage peuvent ensuite se réaliser. Le frittage à un double effet : non seulement il consolide mécaniquement le comprimé de poudre mais il permet également d'augmenter sa densité.

Dans une première étape, il se crée des « ponts » de soudure (ou cous) entre les grains de poudre, mais la taille des pores ne varie pas, on parle de mécanismes de surface. Le matériau obtenu est compact et présente une bonne tenue mécanique. Sa porosité, à ce stade, est d'environ 60 %.

Dans une seconde étape, les grains s'interpénètrent les uns dans les autres. On parle alors de mécanismes de volume. Ainsi, la densité augmente et les pores ouverts se referment. La densité atteint des valeurs supérieures à 90%. La dernière étape consiste alors à éliminer les porosités fermées.

Une brève description des mécanismes de frittage de silicium est donnée dans le paragraphe suivant. A.Derbouz et E.Béré ont proposé une description plus détaillée dans leurs travaux de thèse [2,6].

II.3.1.2.2. Les mécanismes de surface

Il existe principalement deux mécanismes de surface qui entraînent la formation de ponts entre les grains. Ces mécanismes sont illustrés sur la [figure II-1](#) :

➤ **Le mécanisme d'évaporation-condensation (1)** : Un transfert d'atomes s'effectue par voie gazeuse entre la surface des sphères et le pont de matière. W.D Kingery a été le premier à mettre en évidence ce phénomène en frittant des billes de chlorure de sodium.

➤ **Le mécanisme de diffusion en surface (2)** : Un déplacement d'atomes a lieu de la surface des sphères vers les ponts de matière. Ce mouvement d'atomes est limité à une couche superficielle de l'ordre de la maille cristalline.

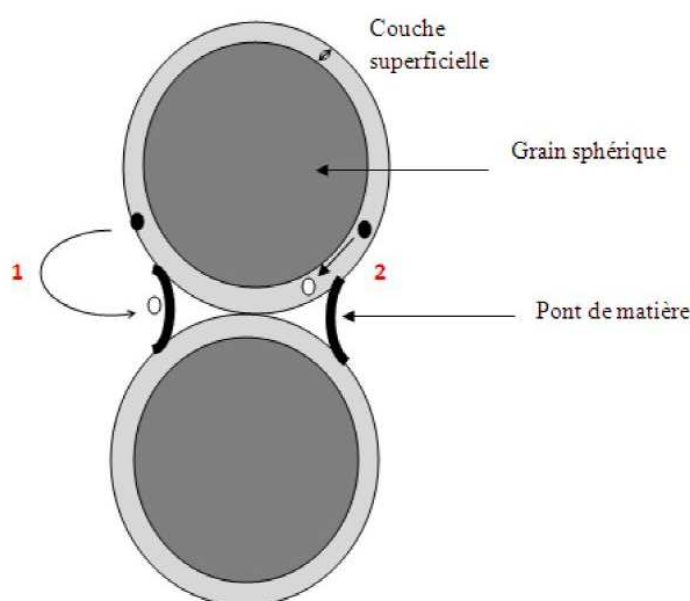


Figure II-1 : Illustration des mécanismes de surface entre deux grains de poudre [13].

II.3.1.2.3. Les mécanismes de volume

Dans ce type de mécanismes, l'échantillon se contracte. Les grains s'interpénètrent les uns dans les autres, ce qui entraîne une diminution de la porosité. De plus, des joints de grains vont se développer entre les particules. Quatre principaux mécanismes de volume sont proposés.

➤ **La diffusion en volume** : Dans ce mécanisme, il est supposé que le transfert d'atomes s'effectue par le volume des grains. D'après Nabarro [7], la diffusion s'exerce au sein de la maille cristalline, des joints de grain en pression vers ceux en tension.

➤ **La diffusion aux joints de grains** : Il est ici considéré que la matière diffuse aux joints de grains. Coble [8] a développé la théorie dans le cas des grains sphériques.

➤ **Les mécanismes de montée des dislocations** : Sous l'effet de la pression et de la température, il apparaît des déformations plastiques à l'intérieur du grain, se traduisant par la création et le déplacement de dislocations.

➤ **Les mécanismes de glissement aux joints de grains** : Les contraintes s'exerçant aux joints de grain peuvent être importantes. Une relaxation de ces contraintes peut s'effectuer par glissement entre les grains.

II.3.1.3. Etat de l'art sur les principaux travaux réalisés sur le frittage du silicium

Nous avons vu que le silicium est un matériau covalent, par conséquent, son frittage est particulièrement difficile en raison de ses liaisons covalentes non plastiques. Les principaux travaux réalisés sur le frittage de silicium ces dernières décennies sont présentés ci-après.

➤ En 1976, Greskovich et Rosolowski [9] ont étudié le frittage naturel de poudres de silicium, c'est-à-dire sans aucune pression. Leurs travaux sont effectués sous flux d'argon contrôlé et la température atteint 1350°C. Lorsque la taille des grains est de l'ordre de 230 nm, les résultats montrent que le frittage naturel est impossible. En revanche, lorsque la taille est plus petite, autour de 60 nm, le frittage naturel devient réalisable. La porosité atteint une valeur de 8 %.

➤ En 1979, Makowiecki et Holt [10] ont mesuré les coefficients de diffusion du cuivre et du silicium. Les résultats montrent que le rapport du coefficient de diffusion de surface sur celui de volume, est plus grand dans le cas du silicium que pour le cuivre. Ainsi, le frittage naturel du silicium est plus difficile. De plus, leurs travaux montrent que l'oxydation des poudres limite la diffusion de surface.

➤ En 1980, Wang et al [11] ont étudié le frittage du silicium sous pression. Ils montrent que la température est le facteur qui influe le plus dans les différents mécanismes de densification. La durée à haute température est un paramètre important dans le processus de grossissement des grains.

➤ En 1985, Moller et Welsch [12] ont étudié le frittage de poudres fines de silicium. Au travers de leurs expériences, ils montrent que le frittage de ces poudres est dominé par le mécanisme de diffusion en volume. La diffusion de surface est rapidement limitée par les couches d'oxydes.

➤ En 2001, Béré et Straboni [6] sont les premiers à avoir étudié le frittage du silicium pour une application photovoltaïque. Les poudres utilisées dans leurs travaux sont obtenues par broyage de plaquettes de silicium monocristallin très pures. Des poudres fines et de bonne qualité ont ainsi été obtenues. Après l'étape de frittage, des résistivités d'environ $10 \Omega \cdot \text{cm}$ ont été mesurées par la méthode des quatre pointes. De plus, un signal photo-électrique a pu être détecté par la technique SSPG (Steady State Photocarrier Grating). Aujourd'hui, cette première mesure a peut-être donné naissance à une nouvelle méthode de fabrication de plaquettes de silicium par le procédé de S'Tile.

➤ En 2006, Derbouz et Straboni [2] ont réalisé de études sur le frittage sous charge, de poudres de silicium. Leurs travaux leur ont permis d'établir une relation semi-empirique liant la porosité à la température, à la pression et à la durée du frittage. Cette équation indique deux stades de densification : une densification rapide au début du frittage suivie d'une densification plus faible et plus lente.

Ils ont également montré que les mécanismes de densification du silicium sont essentiellement contrôlés par les mécanismes de glissement et les montées des dislocations. Les différents essais de frittage ont permis d'obtenir des plaquettes de silicium de densités proches de 100%.

Enfin, ils ont démontré que le silicium fritté pouvait avoir une place dans la fabrication des cellules photovoltaïques. En effet, ils ont montré qu'une étape de recristallisation augmentait considérablement la taille des grains de quelques micromètres à quelques millimètres. Ainsi, le nombre de joints de grains et les chances de recombinaison des porteurs minoritaires diminuent significativement. Des mobilités d'électrons de $150 \text{ cm}^2 \cdot \text{V}^{-1} \cdot \text{s}^{-1}$ ont pu être obtenues par cette technique en utilisant des poudres initialement impures. Ce résultat était prometteur puisque des poudres de pureté solaire sont maintenant utilisées.

➤ En 2011, A.Sow [4] a réalisé un procédé de purification de poudres de silicium de qualité métallurgique par voie gazeuse. En effet, pour des applications photovoltaïques, les impuretés présentent sur le wafer de silicium fritté peuvent être très néfastes sur le rendement de la cellule. Ces résultats ont montré que la teneur en impuretés pourrait être considérablement réduite avec ce procédé.

II.3.1.4. Le dispositif expérimental du procédé de frittage S'Tile

Après avoir décrit les aspects théoriques, et établi un aperçu historique sur les principaux travaux réalisés sur le frittage du silicium, nous allons à présent nous intéresser aux dispositifs

expérimentaux de S'Tile pour la production des wafers. Il est important de décrire ces dispositifs expérimentaux de frittage car ils seront utilisés dans le cadre de ce projet de thèse.

S'Tile utilise aujourd'hui deux technologies pour la réalisation des plaquettes de silicium fritté. La différence entre les deux dispositifs réside sur le mode de chauffage et la dimension des plaquettes de Si frittés produites. La première technique utilise un mode de chauffage des poudres de silicium par rayonnement radiatif à l'aide d'un résistor en graphite. Ce four produit des plaquettes pouvant aller jusqu'à 90 mm de diamètre. La seconde technique quant à elle utilise un mode de chauffage par induction électromagnétique, elle est développée en interne et elle permet de produire des plaquettes jusqu'à 200 mm de diamètre. Par ailleurs, un four de démonstration industrielle d'une capacité de production de 15 MW est en cours de réalisation en partenariat avec le groupe ECM.

II.3.1.4.1. Les poudres utilisées

Le procédé utilise différents types de poudres avec des qualités et des granulométries différentes. Une poudre de taille nanométrique et de qualité solaire produite par décomposition du silane est la poudre la plus utilisée dans le cadre des activités de recherche et développement. Cette poudre est fournie par un industriel (*dont on ne citera pas le nom*). Aujourd'hui tous les aléas de cette poudre en relation avec les paramètres de frittage semblent être maîtrisés pour l'obtention de frittés de haute qualité. D'autres poudres, préparées en interne par broyage de granules de silicium de qualités différentes ont été largement étudiées dans le cadre du développement de procédés S'Tile. Les caractéristiques des poudres de silicium utilisées dans le cadre de ces travaux seront présentées dans le troisième chapitre du manuscrit.

II.3.1.4.2. La technique de frittage par chauffage résistif

Dans ce procédé, un four-presse conçu par la société Thermal Technology est utilisé. Ce four a été spécialement développé dans le cadre des travaux de Thèse de K. Derbouz [2] afin de le rendre compatible avec le frittage du silicium. La [Figure I-2](#) illustre une vue d'ensemble du dispositif de chauffage. Les poudres sont tout d'abord compactées sous forme de galettes. Ces dernières sont ensuite placées entre deux contre-pistons faits en « graphite recouverts d'une couche permanente de carbure de silicium (SiC) ». La couche de SiC constitue une barrière de diffusion aux impuretés, provenant du graphite vers le silicium fritté. Une couche d'anti-collage est ensuite déposée sur les pistons afin d'éviter le collage du piston sur la plaquette de silicium

fritté. Un ensemble d'empilement de galettes intercalées de contre-pistons recouverts de SiC et de la couche d'anti-collage est ainsi porté dans le four.

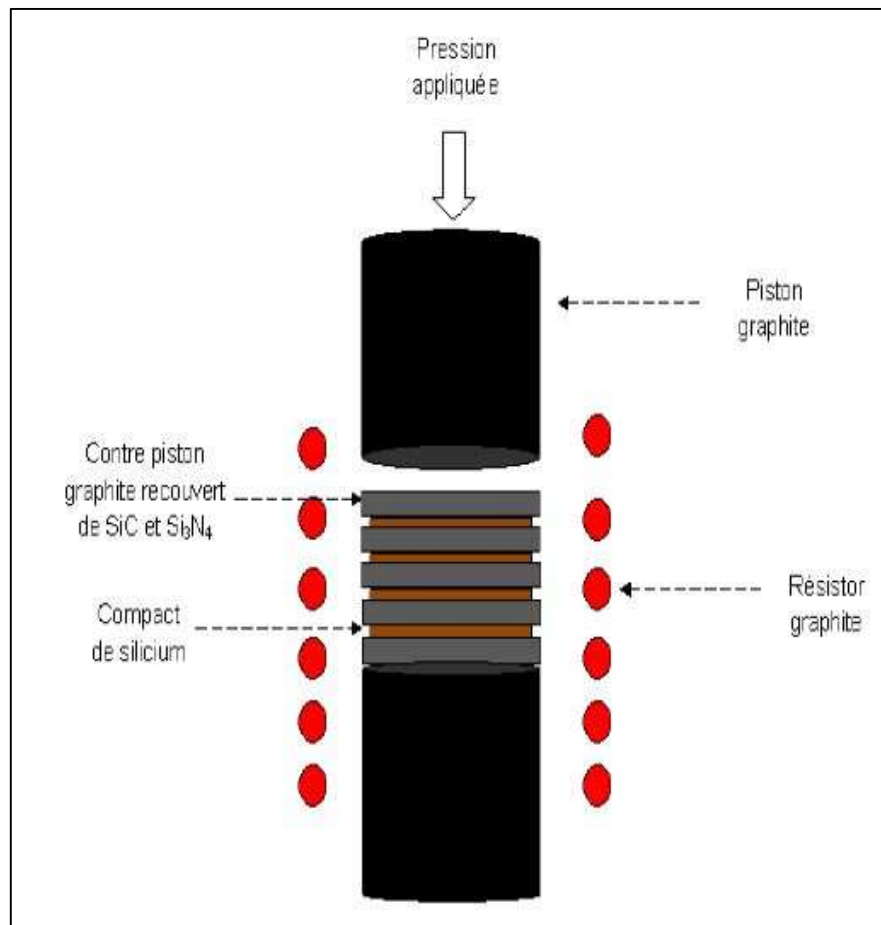


Figure II-2: Schéma de principe du four à chauffage résistif [4]

Le chauffage de ce dispositif se fait à l'aide d'un résistor en graphite. Grâce à un rayonnement radiatif, il chauffe par la périphérie de l'empilement soumis. La chaleur s'homogénéise ensuite par conduction thermique dans tout le matériau. Le contrôle de la température est assuré simultanément à l'aide d'un pyromètre et d'un thermocouple. La température est réglée entre 1000-1400 °C en fonction de la porosité souhaitée. La pression pouvant aller jusqu'à des dizaines de MPa est appliquée par déplacement vers le haut du piston du bas. Après un cycle de vide-balayage argon (Ar). Le frittage se fait sous flux de gaz inerte (Ar). Un niveau de dopage du substrat (type P) allant de 10^{16} à 10^{19} cm^{-3} peut être obtenu par diffusion en phase solide du bore introduit durant le frittage. Le bore provient du nitrure de bore (BN) mélangé avec le Si_3N_4 qui sert d'anti-collant. Tous les paramètres de frittage sont enregistrés à l'aide d'un logiciel. Cette technologie a l'avantage de pouvoir produire plusieurs

plaquettes en même temps. Cependant, la taille maximale des plaquettes produites avec cette technologie est de diamètre 90 mm.

II.3.1.4.3. La technique de frittage utilisant le chauffage par induction électromagnétique

Le four-presse utilisant le mode de « chauffage par résistor » étant limité à des plaquettes de diamètre 90 mm, S'Tile a donc conçu et développé le four-presse utilisant un mode de chauffage par induction électromagnétique. Cette technologie a la capacité produire des plaquettes de grandes dimensions, jusqu'à 230 x 230 mm².

Le système de chauffage est constitué d'un inducteur sous forme de bobine en cuivre de diamètre (500 mm), d'une matrice de graphite à l'intérieur de celui-ci et enfin d'un tube de quartz et d'un écran thermique en mousse de silice qui sont placés entre la bobine et la matrice (voir [Figure II-3](#)). Un système de réglage manuel permet de placer avec précision à l'intérieur de la matrice, l'empilement de galettes de silicium intercalées de contre pistons de graphite recouverts de SiC et de la couche anti-collage. Un sas est intégré au four afin que le chargement et le déchargement des plaquettes frittées puissent se faire sous atmosphère contrôlée.

Lorsqu'un courant électrique parcourt l'inducteur, un champ électrique et un champ magnétique apparaissent. Un courant secondaire circule alors sur la périphérie de la matrice de graphite et des contre-pistons sur lesquels sont posées les galettes de silicium. Ce courant chauffe par effet Joule sur une profondeur de pénétration de ces derniers. La chaleur s'homogénéise par conduction thermique à travers toute la matrice et par la suite dans tout l'empilement contenant les compacts de silicium à fritter. La température est mesurée par un thermocouple placé au milieu du chargement. Elle est réglée en fonction des caractéristiques de frittés souhaités. Une presse de capacité égale à 100 Tonnes est couplée au four. La pression est ainsi également programmée selon les caractéristiques des frittés. Le frittage se fait sous argon. Comme pour le frittage dans le four Thermal Technology, le niveau de dopage peut aller de 10^{16} à 10^{19} cm⁻³ selon la quantité de BN mélangée avec la couche d'anti-collage.

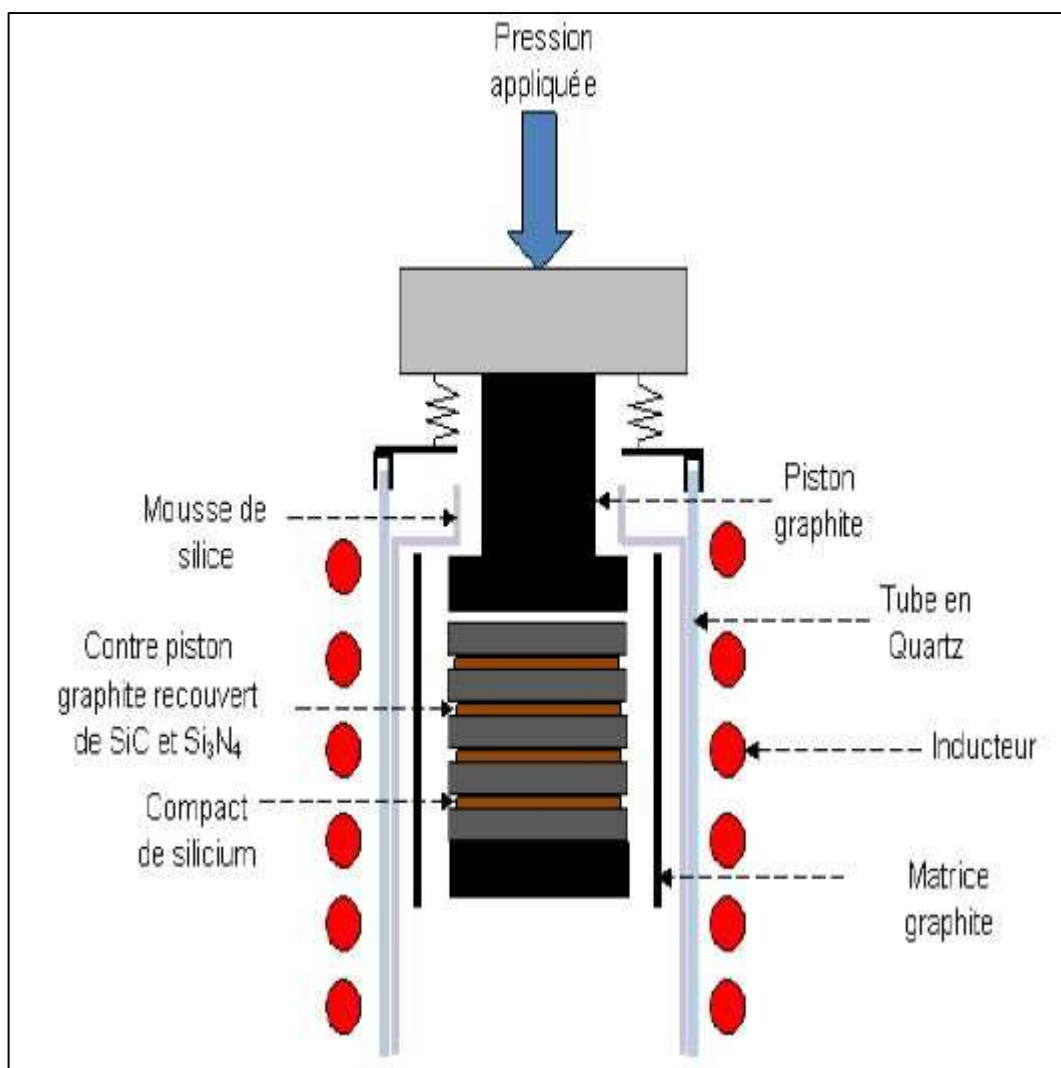


Figure II-3: Schéma de principe du four à chauffage par induction électromagnétique [4]

Ainsi, selon les paramètres de frittage utilisés dans ces deux dispositifs expérimentaux décrits précédemment : température, pression, et temps de frittage ; et selon le type de poudres utilisées, des substrats de silicium frittés avec des porosités contrôlées peuvent être obtenus.

Dans le cadre des travaux de thèses de P. Bellanger[3] et M. Grau [5] sur la réalisation de cellules solaires sur substrats frittés recristallisés, que nous présenterons dans le paragraphe suivant, des frittés de porosités comprises entre 2% et 5% et de résistivités inférieures à $1 \Omega \cdot \text{cm}$ ont été utilisés.

En revanche nous verrons dans les chapitres suivants (III & IV), que dans le cadre de la réalisation du substrat fritté intégré, l'utilisation des frittés plus poreux (environ 20% de porosité) et plus résistifs ($> 10^3 \Omega \cdot \text{cm}$) est nécessaire pour le bon fonctionnement de la cellule intégrée (i-Cell). Cependant, une partie des travaux réalisés lors de cette thèse a été consacré

au frittage de silicium pour la réalisation de la cellule solaire intégrée. Les résultats seront présentés et discutés dans le troisième chapitre.

II.3.2. Les procédés de recristallisation des plaquettes frittées

Les plaquettes de silicium fritté denses obtenues présentent des structures cristallines accompagnées d'un nombre important de défauts. Utilisées dans cet état comme substrat actif, elles engendreraient d'importantes recombinaisons limitant le rendement de conversion photovoltaïque de la cellule. Une étape de recristallisation est nécessaire afin d'accroître la taille des grains de micromètres à quelques millimètres, ce qui permet par conséquent, de réduire considérablement la concentration des défauts inter-granulaires (joint de grains ou macles). L'étape de recristallisation permet ainsi d'améliorer la structure cristalline, ses propriétés physico-chimiques, et par conséquent, ses propriétés électriques. Les techniques expérimentales de recristallisation utilisées dans les travaux antérieurs de réalisation de la cellule solaire S'Tile sur substrats frittés recristallisés seront succinctement décrites ci-dessous.

II.3.2.1. La recristallisation ZMR (Zone Melting Recrystallization) des plaquettes frittées

La technique de recristallisation ZMR (Zone Melting Recrystallization) des substrats de silicium fritté a été développée par Bellenger et al [3] en collaboration avec le laboratoire de photovoltaïque et de semi-conducteur de Lisbonne. Dans cette technique, chaque échantillon fritté est maintenu verticalement, grâce à un support adapté. Deux miroirs réfléchissants en aluminium elliptiques focalisent la radiation de deux lampes halogènes de puissance électrique nominale de 1000 W [13] sur les deux faces de l'échantillon. Elles permettent à partir de leur rayonnement, de transmettre l'énergie nécessaire à la fonte du silicium. Le dispositif de recristallisation ZMR est présenté sur la [Figure -4](#).

L'échantillon se déplace alors de haut en bas avec une vitesse de quelques millimètres par minute. Le rayonnement des lampes transmet l'énergie nécessaire à la fonte du silicium. La recristallisation se fait sous flux d'argon. Un système de visualisation de la zone fondue est aménagé au niveau des miroirs elliptiques. Ce processus favorise la croissance latérale des grains de quelques micromètres au millimètre voire centimètre. Les plaquettes frittées recristallisées sont ainsi obtenues.

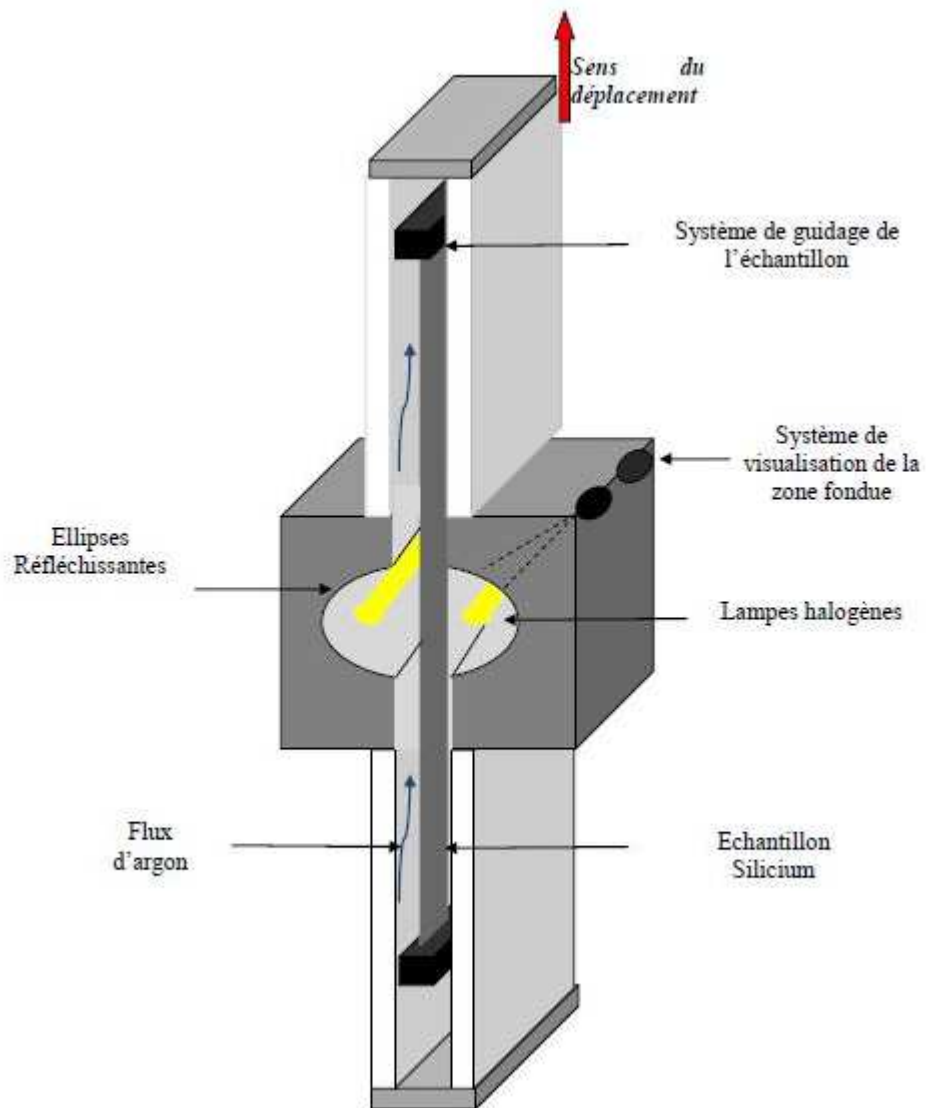


Figure II-4: Système de recristallisation ZMR (Zone Melting Recrystallization) [14].

II.3.2.2. La recristallisation FWR (Full Wafer Recrystallization) des plaquettes frittées

La technique de recristallisation pleine plaque ou FWR (Full Wafer Recrystallization) a tout d'abord été étudiée par K. Derbouz et al [2], qui a montré qu'il était possible de recristalliser un substrat de silicium fritté sur la totalité de son épaisseur. P. Bellanger et al [3] ont ensuite développé la technique dans le cadre de développement des cellules solaires sur substrats frittés recristallisés. La recristallisation est faite dans le four à chauffage par résistor, présenté précédemment. Le dispositif est schématisé sur la [figure II-5](#). Le substrat de silicium fritté est placé entre deux pistons en graphite recouverts d'une couche permanente de SiC servant de barrière contre les impuretés présentes dans le graphite. Une couche de Si_3N_4 est ensuite appliquée par pulvérisation sur les deux faces du piston afin de prévenir le collage du silicium fondu.

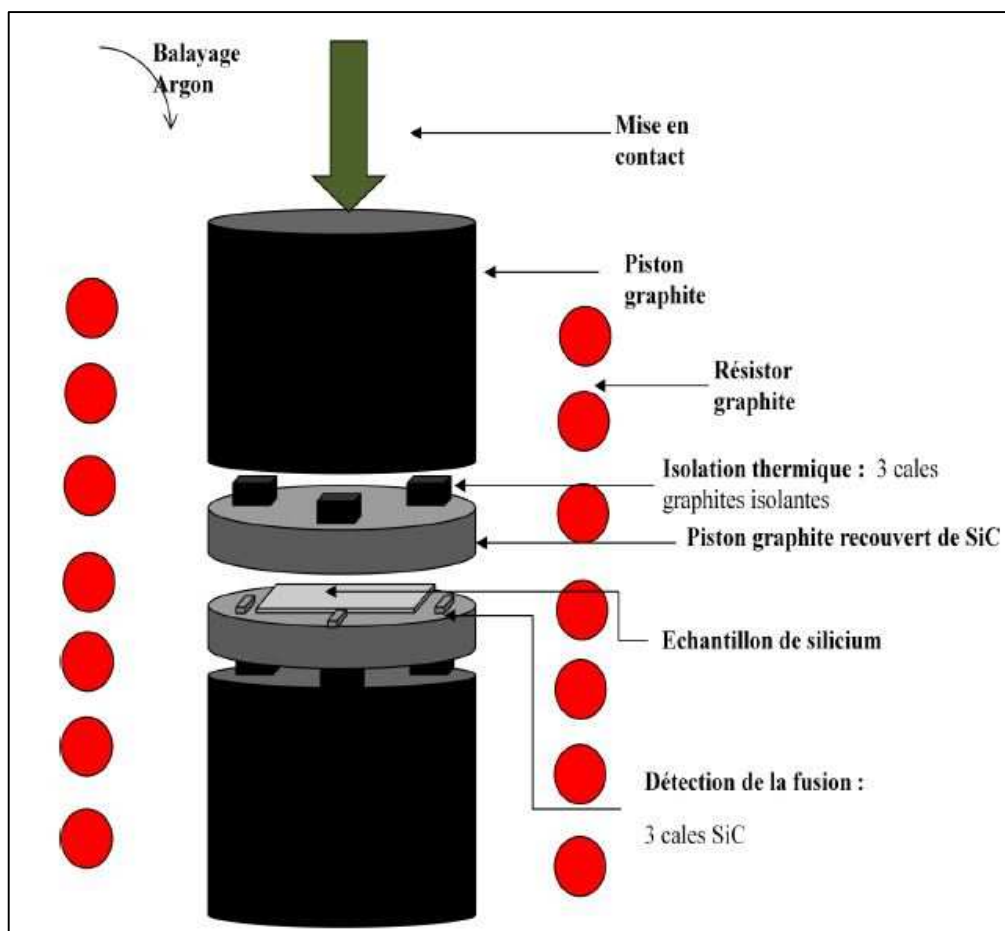


Figure II-5: Système de recristallisation FWR (Full Wafer Recrystallization) [3].

Dans cette technique, trois cales de graphite sont placées de part et d'autre des contre pistons recouverts de SiC. Elles isolent thermiquement l'échantillon des parties froides inférieures et

supérieures, ces deux parties contenant deux gros pistons de graphite permettent, par leur déplacement vertical, un contact entre les différents éléments du système.

Comme dans le procédé du frittage, le chauffage est assuré par un résistor en graphite de forme cylindrique qui chauffe la périphérie des contre-pistons en contact avec le silicium. La température est contrôlée à l'aide d'un thermocouple placé à côté du résistor. Un balayage contrôlé d'argon est assuré tout au long de l'opération.

La fusion du silicium est détectée grâce à trois autres cales de SiC placées à côté des échantillons. Leurs épaisseurs doivent être légèrement inférieures à celle de l'échantillon fritté. Une pression d'environ 15 kg est appliquée à l'échantillon fritté. Ainsi, la fusion du silicium est détectée grâce à une variation brutale de la force appliquée en raison du déplacement du piston supérieur sur le silicium fondu. Lorsque la plaquette est totalement fondue, le piston supérieur n'est plus en contact avec le piston de graphite et la pression devient nulle. Après la fonte, le refroidissement est réglé entre 1°C/min et 30 °C/min. Ainsi, les wafers de silicium frittés recristallisés présentent des grains colonnaires avec des tailles de quelques millimètres et un taux de dislocations inférieur à $10^6 / \text{cm}^2$ [3].

La [figure II-6](#) présente une photographie de plaquette de silicium fritté avant et après recristallisation FWR et ZMR. Nous pouvons remarquer que quel que soit le procédé de recristallisation utilisé, il y a une augmentation de la taille des grains et une amélioration de structure cristalline de la plaquette.

Le fritté recristallisé FWR représente une structure des grains sous forme de dendrites. Ces grains sont de l'ordre de quelques millimètres. La taille des grains atteint le centimètre après recristallisation ZMR avec une forme allongée dans le sens de la cristallisation.

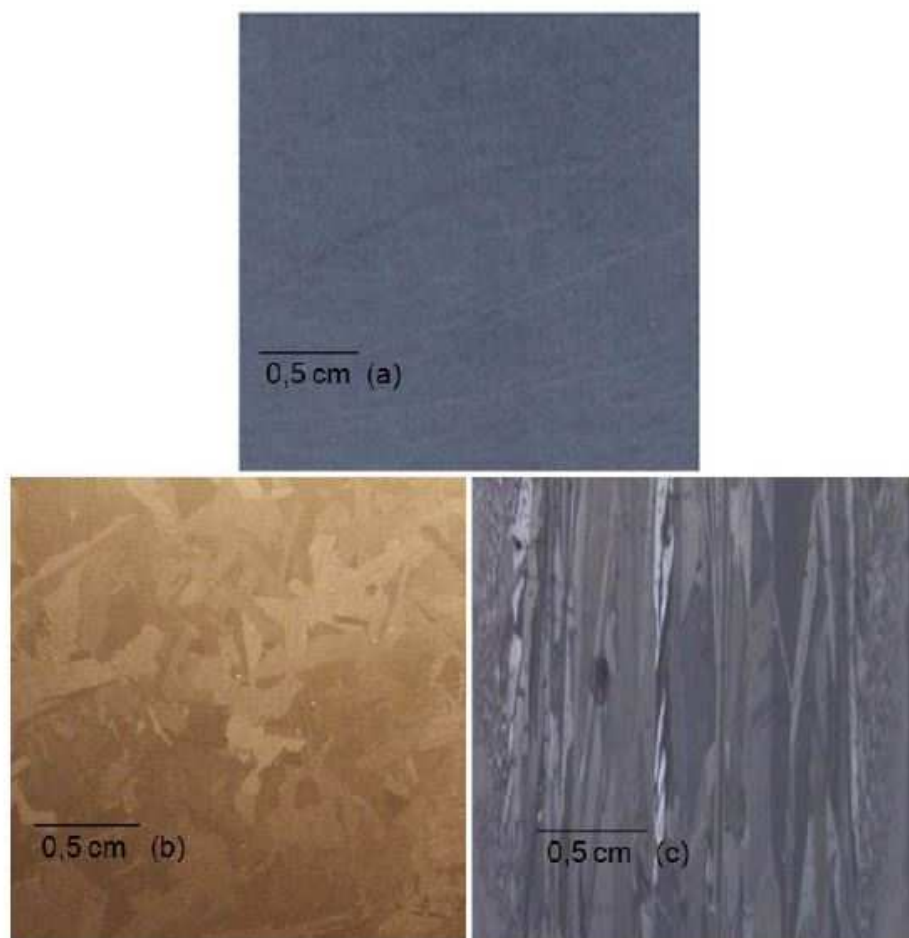


Figure II-6: Photographie après rodage d'une plaquette frittée avant et après recristallisation: (a) fritté ; (b) fritté recristallisé FWR ; (c) fritté recristallisé ZMR [4].

II.3.2.3. Étude de l'influence de la recristallisation sur les caractéristiques des substrats frittés recristallisés obtenus

Diverses techniques de caractérisations ont été utilisées dans le cadre de ces études. Ces techniques visent principalement à évaluer l'influence de recristallisation sur l'évolution du taux d'impuretés et sur celle de la durée de vie des porteurs minoritaires au sein du substrat fritté recristallisé. Quelques-uns des principaux résultats sont présentés ci-après.

II.3.2.3.1. Influence de la recristallisation ZMR et FWR sur l'évolution des impuretés

Il existe principalement trois catégories d'impuretés : les impuretés dopantes (bore, aluminium, phosphore, arsenic.), les recombinaisons (métaux introduits ou présents involontairement) et les neutres (carbone et oxygène). Elles sont introduites volontairement ou involontairement dans le matériau. Suivant sa taille, l'impureté se situe en position interstitielle

ou en position substitutionnelle, mais aussi sur une zone de défaut comme les dislocations. Le contrôle du niveau d'impuretés est donc un paramètre crucial sur le rendement de conversion photovoltaïque. En effet, lorsque les impuretés sont importantes dans le matériau, elles diminuent la mobilité des porteurs minoritaires et par conséquent la longueur de diffusion.

Les principales techniques d'analyses d'impuretés utilisées sont répertoriées comme suit :

➤ **Les concentrations en impuretés métalliques et impuretés dopantes** ont été déterminées par la spectrométrie de masse par décharge luminescence, GDMS (Glow Discharge Mass Spectroscopy). Ces analyses ont été faites dans le groupe EAG Labs (Evan Analytical Groups Laboratory) basée à Toulouse.

➤ **Les impuretés légères telles que l'oxygène (O) et le carbone (C)** ont été quant à elles déterminées par la techniques IGA (Instrumental Gas Analysis) chez EAG Labs, mais aussi par l'analyse FTIR (Fourier Transform Infra-Red spectroscopy). L'analyse FTIR sur substrat de silicium fritté a été développée par S'Tile lors des travaux de A. Sow et al [4].

Ainsi, l'analyse GDMS des impuretés métalliques et les impuretés dopantes sont présentées sur le [tableau II-1](#).

Tableau II-1: Analyses GDMS (en ppm-wt) des taux d'impuretés métalliques et les impuretés dopantes détectées dans les plaquettes frittées, plaquettes recristallisées par ZMR et plaquettes recristallisées par FWR [4]. (dl= limite de détection)

Impuretés métalliques et dopants (ppm-wt)	Plaquette frittée	Plaquette frittée recristallisée ZMR	Plaquette frittée recristallisée FWR
Al	$2,9 \pm 0,12$	$0,58 \pm 0,024$	$2,4 \pm 0,09$
Mg	$0,15 \pm 0,007$	< dl (0,005)	< dl (0,005)
Ca	$1,59 \pm 0,08$	$0.45 \pm 0,023$	$0,9 \pm 0,045$
Ti	$0,13 \pm 0,005$	< dl (0,005)	$0,45 \pm 0,01$
Fe	$1,4 \pm 0,045$	< dl (0,01)	$2,33 \pm 0,075$
Cr	$0,08 \pm 0,002$	< dl (0,005)	< dl (0,005)
Cu	$0,26 \pm 0,008$	< dl (0,01)	< dl (0,01)
B	$1,2 \pm 0,02$	$1,2 \pm 0,02$	$2,1 \pm 0,035$
P	$0,05 \pm 0,001$	$0,05 \pm 0,001$	$0,45 \pm 0,009$

Une forte baisse du taux d'impuretés métalliques a été observée sur la plaquette frittée recristallisée par ZMR. En effet, dans cette technique de recristallisation, les éléments d'impuretés telles que Fe, Cr, Cu, Ti, et Mg atteignent la limite de détection (dl). Ceci donne lieu à un taux de purification supérieur à 99%. La teneur de ces impuretés dans le recristallisé ZMR est comparable au niveau d'impureté acceptables dans le silicium de qualité solaire [15]. Par ailleurs, pour Al et Ca des réductions correspondantes respectivement à 80 % et 70 % sont évaluées dans le recristallisé ZMR. La plupart de ces impuretés sont éliminées du matériau durant le ZMR par ségrégation. Comme dans le cas de la solidification directionnelle, les impuretés ségrégent dans le silicium fondu vers le sens opposé à la croissance des grains durant la ZMR. À la fin de la croissance, la plupart des impuretés métalliques sont retrouvées dans une région fine proche du bout de la plaquette recristallisée. L'efficacité de la purification par ce mécanisme dépend bien sûr du coefficient de ségrégation de ces impuretés [16,17].

A. Sow et al [4] ont montré qu'il est possible de réduire fortement la plupart des impuretés sur le fritté avant recristallisation. Cette étape se fait par un traitement gazeux constitué d'un mélange d'acide chlorhydrique (HCl) et d'argon. Ils ont montré aussi que ce traitement de purification est d'autant plus efficace si on rajoute de l'hydrogène au mélange gazeux.

L'analyse FTIR (Fourier Transform Infra-Red spectroscopy) a permis de détecter les impuretés neutres (oxygène, carbones). La figure II-7 représente les spectres infrarouges obtenus par FTIR d'une plaquette frittée avant et après recristallisation ZMR et FWR. Sur les spectres infrarouges des plaquettes recristallisées ZMR et FWR, apparaissent des pics à 605 cm^{-1} et à 1107 cm^{-1} . Cette étude a permis d'identifier les pics correspondants à la présence de carbone substitutionnel et d'oxygène interstitiel dans les deux types de recristallisés. Les pics intenses à 468 cm^{-1} , 950 cm^{-1} , et à 1090 cm^{-1} sur le spectre infrarouge de la plaquette frittée, indiquent la présence d'une quantité importante d'oxygène sous forme de précipités SiO_2 [4].

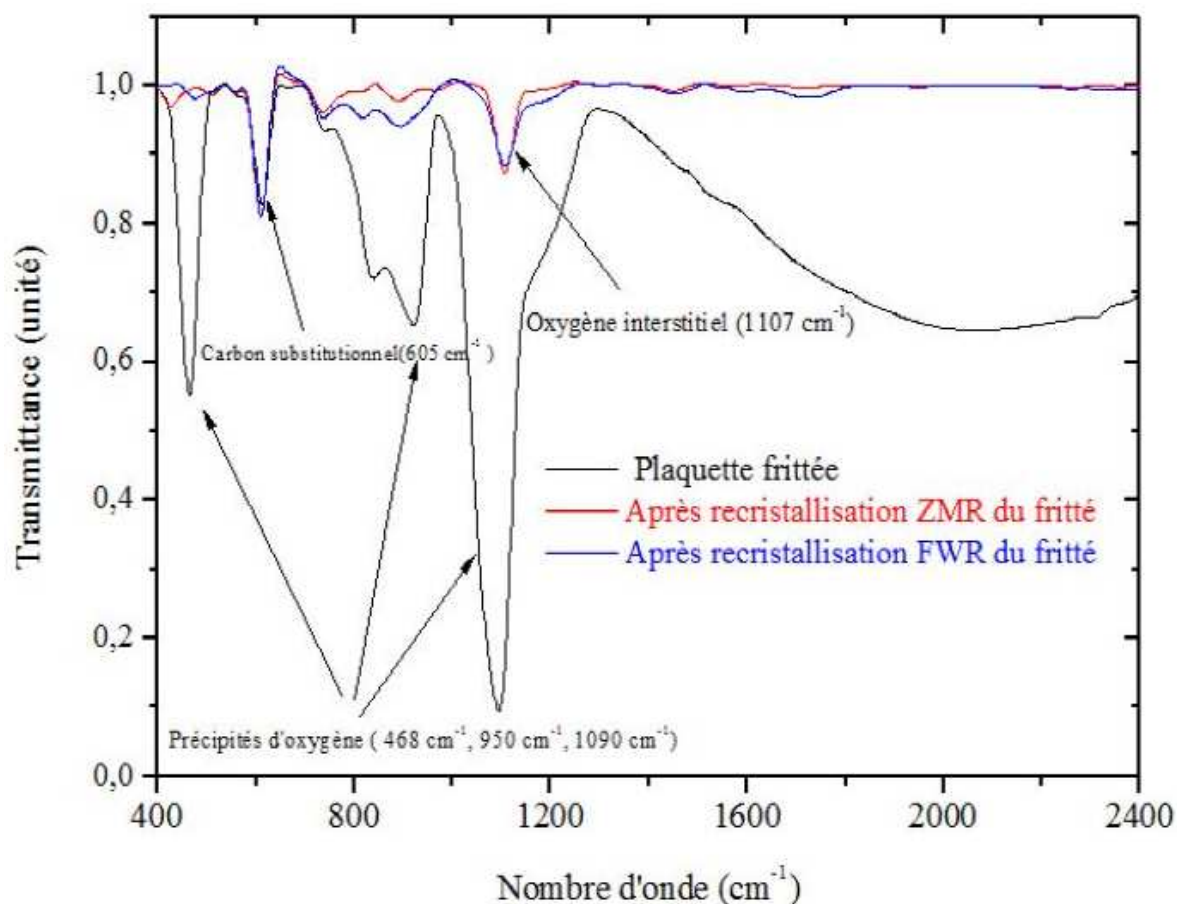


Figure II-7 : Spectre FTIR d'une plaquette frittée avant et après recristallisation ZMR et FWR ; évolution de la concentration d'oxygène avec la recristallisation déterminée par FTIR [4].

L'analyse quantitative de l'oxygène par FTIR dans le substrat fritté de référence, ainsi que dans les frittés recristallisés ZMR et FWR a été réalisée. Une forte diminution de la teneur en oxygène a été observée. En effet, la concentration en oxygène passe de 630 ppm pour la plaquette frittée de référence à 30 ppm pour celle recristallisée par ZMR, et à 56 ppm pour celle recristallisée par FWR. Durant la recristallisation, les précipités de SiO_2 sont dissous et la plupart de l'oxygène s'exo-diffuse de la plaquette sous forme de monoxyde de silicium (SiO) ou est libérée sous forme de O_2 [18]. La chute de la concentration en oxygène se caractérise par la disparition sur le spectre des pics d'absorption correspondant aux modes de vibration des précipités de SiO_2 initialement présents dans le fritté.

La concentration du carbone est estimée à 30 ppm pour les frittés de référence et pour les frittés recristallisés par ZMR et FWR. Par ailleurs, ces résultats ont été confirmés par les analyses IGA, représentées sur [tableau II-2](#). Ces analyses montrent également une forte baisse de la concentration d'oxygène après recristallisation, ce qui est en concordance avec les

analyses FTIR. En revanche la teneur en carbone obtenue par IGA est plus élevée que celle obtenue par FTIR.

Tableau II-2: Analyses IGA – Évolution de la concentration totale en oxygène (O) et en carbone (C) avec la recristallisation ZMR et FWR [4].

Impuretés légers (ppm-wt)	Plaquette frittée	Plaquette frittée recristallisée ZMR	Plaquette frittée recristallisée FWR
O (ppm)	650	20	56
C (ppm)	300	256	300

L'analyse IGA, qui est une analyse destructive, donne la concentration totale dans le matériau. Cependant, nous pouvons remarquer que la concentration en carbone reste presque inchangée après recristallisation, que ce soit par ZMR par FWR. La contamination en carbone provient essentiellement des pièces en graphite présentes dans le four-presse utilisé pour réaliser l'étape de frittage.

II.3.2.3.2. Influence de la recristallisation ZMR et FWR sur la durée de vie des porteurs minoritaires :

L'influence des deux types de recristallisation sur la durée de vie des porteurs minoritaires a été réalisée grâce à la méthode μ PCD (PhotoConductance Decay). Pour cela, une passivation à l'iode-éthanol est utilisée afin de s'affranchir des recombinaisons en surface. Les deux faces des échantillons sont d'abord traitées par un simple rodage mécanique. Ce rodage permet de retirer les éventuelles contaminations en surface. Ils sont par la suite lavés par un mélange « piranha ». Ce lavage se déroule en trois étapes :

- Un trempage HF qui permet de retirer l'oxyde de surface.
- Une oxydation qui piège les impuretés en surface. Pour cela, les échantillons sont placés dans le réactif piranha (eau oxygénée et d'acide sulfurique).
- Une deuxième désoxydation HF retire la couche d'oxyde munie de ces impuretés.

Ainsi, une nette amélioration de la valeur de la durée de vie a été observée aux mesures μ PCD, elle passe en effet de 30 ns pour la plaquette frittée à 400 ns pour le recristallisé FWR et à 1500 ns pour le recristallisé ZMR. Cette amélioration de la durée de vie après la recristallisation est due à l'amélioration de la structure cristalline et à la réduction des impuretés métalliques dans le matériau.

II.3.3. Les technologies S'Tile de réalisation de cellules solaires sur substrats recristallisés

Nous avons décrit l'aspect théorique du frittage de poudres de silicium ainsi que les dispositifs expérimentaux nécessaires pour la réalisation des substrats et nous avons présenté un aperçu sur les techniques de recristallisations développées par S'Tile. Nous allons à présent, aborder les trois principaux concepts de réalisation de cellules solaires à partir de substrat de silicium frittés recristallisés. Les caractéristiques, les performances ainsi que les limites des cellules obtenues seront présentées ci-après.

➤ Le premier concept adapté par S'Tile consiste à réaliser directement les cellules solaires sur les substrats frittés recristallisés par ZMR et par FWR. Les cellules ont été réalisées à l'INL (Institut des Nanotechnologies de Lyon) dans le cadre des travaux de P. Bellanger [3].

➤ Le second concept, appelé EpiWE (Epitaxial Wafer Equivalent), consiste quant lui à déposer par épitaxie CVD (Chemical Vapor Deposition), une fine couche de silicium pur sur le substrat fritté recristallisé (par ZMR et par FWR).

➤ Le concept RexWE (Recrystallization Wafer Equivalent), qui consiste à déposer par CVD une couche fine de silicium dopé P^+ sur le substrat de silicium fritté dopé P^{++} . Par la suite une étape de recristallisation est réalisée avant de déposer la couche de silicium dopée P (absorbeur), réalisée par épitaxie. La suite de la cellule est réalisée par le procédé classique des cellules solaires standard. Le concept RexWE a la particularité de pouvoir éviter l'étape de recristallisation sur toute épaisseur de la plaquette frittée. Elle permet également d'utiliser des substrats frittés préparés à partir de poudres de qualité UMG à bas coût.

II.3.3.1. Le concept de fabrication de cellule directement sur substrats frittés recristallisés

II.3.3.1.1. Procédés de fabrication

Dans ce concept, le substrat de silicium fritté est utilisé directement pour la réalisation de la cellule. La [figure II-8](#) récapitule les procédés employés pour la fabrication de cellules de 1 cm^2 sur les substrats frittés recristallisés par ZMR et par FWR :

La délimitation de la zone active est réalisée grâce à un dépôt d'oxyde par CVD et une étape de photolithographie. Après la diffusion $POCl_3$, la résistance carrée de l'émetteur est d'environ 50 ohms / sq. Les contacts face arrière de la cellule et le BSF (Back Surface Field) sont réalisés par un dépôt d'aluminium par évaporation, suivi d'un recuit thermique à 800°C. Les contacts avant sont faits par photolithographie et dépôt de Ti-Pd-Ag. Enfin une couche de nitrure de

silicium est déposée par PECVD pour réaliser la couche antireflet [14]. L'étape de texturation de surface n'a pas été réalisée.

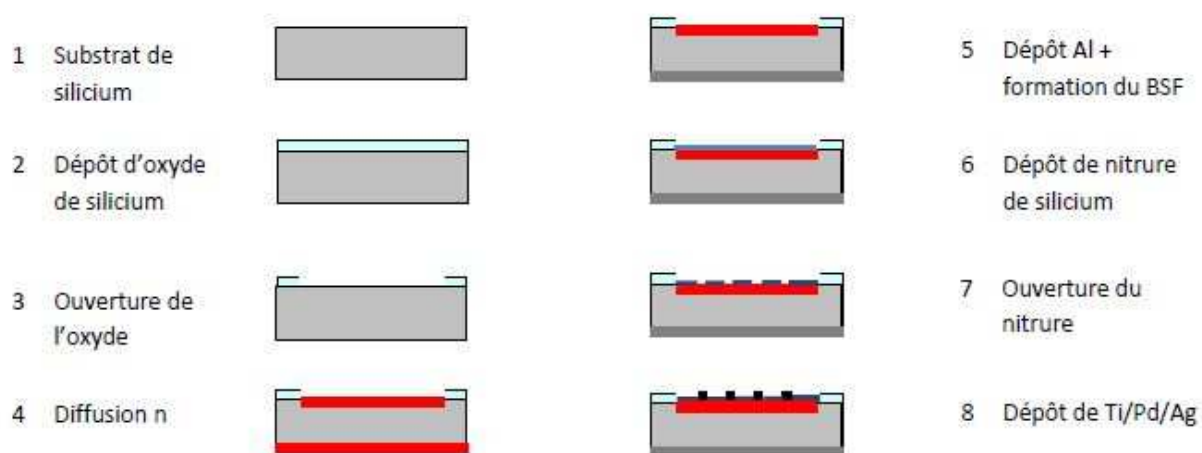


Figure II-8 : Procédés employés pour la réalisation de cellules directement sur le substrat fritté recristallisé [14]

II.3.3.1.2. Caractéristiques des cellules réalisées

Les caractéristiques $I = f(V)$ des cellules réalisées sur les substrats frittés recristallisés ZMR et FWR sont présentées sur le [tableau II-3](#). Des cellules ont été réalisées sur substrat standard de silicium multicristallin pour servir de référence.

Tableau II-3: Caractéristiques électriques et rendement des cellules

Échantillons	J_{cc} (mA/cm ²)	V_{oc} (mV)	FF (%)	η (%)	R_p (Ohm.cm ²)	$R_{s,sunsVoc}$ (Ohm.cm ²)
Multicristallin	29,9	554,8	57,9	9,6	239	3,6
Rx ZMR	28,6	534,1	58,1	8,9	242	1,5
Rx FWR	14,8	435	49,9	3,2	158	7,8

Les résistances série R_s a été déterminée en comparant la courbe $I = f(V)$ obtenue par la mesure Suns-Voc à celle obtenue par mesure sous éclairnement. La mesure Suns-Voc est une caractéristique $I = f(V)$ obtenue grâce à la mesure du V_{oc} de la cellule en fonction de l'intensité lumineuse.

Des résistances séries comprises entre $1,5 \text{ Ohm.cm}^2$ et $7,8 \text{ Ohm.cm}^2$ ont été ainsi mesurées [3] sur l'ensemble des échantillons. Ces valeurs sont plus élevées que celles des échantillons industrialisés qui se situent habituellement en dessous de 1 Ohm.cm^2 [19]. Ceci pourrait s'expliquer par une mauvaise qualité de métallisation. Cependant, des rendements cellules de 3,2% et 8,9% ont été obtenus respectivement avec les cellules FWR et ZMR. Toutefois, le rendement de la cellule réalisée sur substrat recristallisé par ZMR est très proche de la valeur 9,6% obtenu avec la cellule référence (multicristallin). Ceci a été très encourageant sachant qu'il n'y avait pas de texturation dans le process cellule. Cependant, le rendement de conversion de la cellule référence est faible par rapport aux cellules standards industrielles en silicium multicristallin.

D'après P. Bellanger [3], les faibles valeurs de rendements obtenus avec les recristallisés ZMR et FWR s'expliquent entre autres par des microfissures apparues sur les wafers lors de l'étape de rodage (ou surfacage) mécanique de la plaquette recristallisée. L'étape de rodage est réalisée sur un plateau de rodage avec une suspension diamant. Elle consiste à enlever de la matière (une dizaine de microns environ) sur chacune des faces de l'échantillon recristallisé. De plus, la durée de vie des porteurs minoritaires mesurée sur ce type d'échantillon reste très faible, $\leq 1,5 \mu\text{s}$. Il considère que cette faible durée de vie est probablement liée aux fortes concentrations d'oxygène, de bore et de fer. En effet, les paires B-O, les donneurs thermiques, le fer interstitiel ou encore les paires Fe-B sont des centres fortement recombinaisons. P. Bellanger affirme aussi qu'une étape d'hydrogénation pourrait augmenter de 2% le rendement obtenu sur le fritté recristallisé. En effet, l'hydrogène passive les défauts volumiques tels que les dislocations, les joints de grains, les liaisons pendantes, et certaines impuretés recombinaisons.

II.3.3.2. Le concept EpiWE (Epitaxial Wafer Equivalent) : dépôt de couches minces de silicium sur fritté recristallisé

Le concept EpiWE a tout d'abord été développé par l'institut Fraunhofer ISE. Il consiste à déposer par épitaxie CVD, une couche mince de silicium pur sur un substrat multicristallin ou monocristallin dopé P^+ . Il a été adapté par M. Grau et al [5,20] pour la réalisation de cellules sur substrats de silicium multicristallin obtenus par le procédé S'Tile de recristallisation du silicium fritté par les techniques ZMR et FWR. Ces techniques ont été précédemment décrites dans la section II.3.2 de ce chapitre. Des cellules de $2 \times 2 \text{ cm}^2$ ont été ainsi réalisées à l'INL. Après une brève description des techniques d'épitaxies, le procédé de fabrication cellules sur wafer EpiWE, ainsi que les rendements obtenus seront présentés dans ce paragraphe.

II.3.3.2.1. Les différentes techniques d'épitaxie

Étymologiquement le terme épitaxie provient des mots grecs epi, qui signifie au-dessus, et taxis, qui signifie ordonné. L'épitaxie est donc par définition, la croissance d'un cristal sur un autre, selon l'ordonnement cristallin du cristal receveur [21]. La croissance épitaxiale peut s'appliquer à une grande variété de matériaux : silicium, alliage silicium-germanium, composés III-V, métaux, oxydes,... etc [5]. On distingue trois principales techniques d'épitaxie :

➤ *L'épitaxie par jet moléculaire (ou MBE pour Molecular Beam Epitaxy)* – Elle consiste à envoyer sous vide poussé (de l'ordre de 10^{-10} Torr) des flux contrôlés d'atomes ou de molécules sur la surface d'un substrat convenablement chauffé. L'utilisation du vide poussé permet d'éviter tout choc ou contamination entre les espèces réactives. Elle permet des croissances à basses températures (entre 400-800°C), avec de très bonnes qualités cristallines. Les sources de matière sont évaporées par effet Joule. Cependant, la vitesse de croissance reste très faible ($< 1 \mu\text{m/h}$) [22] mais la qualité cristalline est très élevée. Industriellement, ce procédé reste très coûteux, et ne concerne donc que des applications à plus forte valeur ajoutée que le photovoltaïque.

➤ *L'épitaxie en phase liquide (LPE pour Liquid Phase Epitaxy)* – Cette technique d'épitaxie a été largement rependue dans les années 1970. Elle consiste à faire croître un cristal par la mise en contact d'un substrat et d'une source liquide d'espèces réactives. La croissance s'effectue donc à l'équilibre thermodynamique et est basée sur la solubilité de l'espèce à déposer dans un solvant métallique. Cette solubilité décroît avec la température. Le refroidissement de la solution va donc causer le dépôt épitaxial. Cette technique a apporté de bons résultats en laboratoire mais est difficilement industrialisable [5].

➤ *L'épitaxie en phase vapeur (VPE pour Vapour Phase Epitaxy)* – elle consiste à faire croître un cristal à partir d'une source gazeuse décomposée au contact d'un substrat monocristallin ou multicristallin convenablement chauffé. La multiplicité des sources gazeuses assure une grande diversité dans la nature du matériau épitaxié et dans ses possibilités de dopage. En raison de sa grande vitesse de croissance, de l'ordre de $10 \mu\text{m/h}$ [22], cette technique d'épitaxie est aujourd'hui la plus rependue dans l'industrie des semi-conducteurs. C'est donc cette technique qui a été employée pour la croissance de couches minces sur substrats frittés recristallisés. Selon la pression à laquelle la croissance est réalisée, on distingue plusieurs types

de réacteurs d'épithaxie en phase vapeur : APCVD (Atmospheric Pressure, comme c'est le cas pour le concept de cellules EpiWE), LPCVD (Low Pressure), UHVCVD (Ultra High Vacuum), RTCVD (Rapid Thermal), PECVD (Plasma Enhanced), etc. La source d'énergie permettant la réaction peut être un chauffage résistif, inductif ou par lampes, ou bien des ultraviolets, un plasma, etc.

II.3.3.2.2. Le procédé de fabrication cellule sur EpiWE (Epitaxial Wafer Equivalent)

La structure de cellule qui a été réalisée sur wafer équivalent (épithaxie de la couche active P sur le substrat fritté recristallisé), ou EpiWE, est présentée sur la [figure II-9](#). Ces cellules ont été réalisées dans le cadre des travaux de thèse de M. Grau [5]. Des substrats de silicium frittés recristallisés par ZMR et par FWR ont été utilisés. Le dopage du substrat est fait au cours du frittage par injection du bore dans le réacteur. La résistivité des frittés recristallisés sont de l'ordre de $10^{-3} \Omega \cdot \text{cm}$. Afin d'évaluer la qualité du procédé, des cellules de référence ont été fabriquées sur des plaquettes de silicium monocristallin de type Czochralski dopé P^+ , de diamètre 2 pouces et d'orientation (100). La couche mince de silicium pur est déposée sur les frittés recristallisés par épithaxie dans un réacteur APCVD. Ce réacteur fonctionne à 1100°C avec du dichlorosilane (SiH_2Cl_2) dilué dans de l'hydrogène comme précurseur du dépôt. L'ajout du B_2H_6 permet la formation in situ du BSF (Back Surface Field), et de la base dopée P. Le profil de dopage de la couche épithaxiée consiste donc en un micromètre de couche dopée P^+ et $22 \mu\text{m}$ environ de couche dopée P à une densité de 10^{16} cm^{-3} . Pour la suite du procédé de la cellule, le même procédé standard de fabrication présenté dans la [section II.3.3.1.1](#) est utilisé. De même, l'étape de texturation n'a pas été faite.

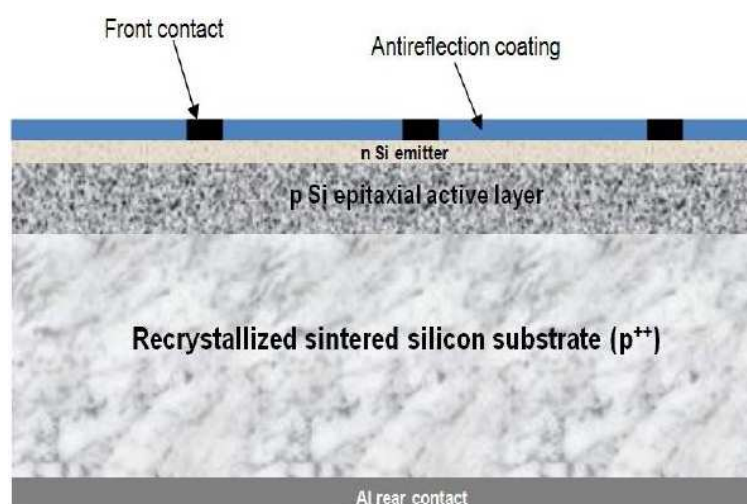


Figure II-9 : Schéma de la structure de cellule sur EpiWE (Epitaxial Wafer Equivalent) = réalisation de cellule en couche mince de silicium cristallin sur substrat fritté recristallisé [4]

II.3.3.2.2. Caractéristiques des cellules réalisées

Le [tableau II-4](#) représente les caractéristiques électriques des cellules réalisées sur couche mince de silicium cristallin, déposée par épitaxie sur substrat recristallisé par ZMR et par FWR. Elles sont comparées avec la cellule référence réalisée sur substrat de silicium monocristallin (Cz).

Tableau II-4: Caractéristiques électriques et rendement des cellules

Type de cellule	J_{cc} (mA/cm ²)	V_{oc} (mV)	FF (%)	η (%)
Cellule sur fritté Rx ZMR	23,1	463	62,9	6,7
Cellule sur fritté Rx FWR	22	520	49	5,6
Cellule Réf sur substrat monocristallin	25,2	599	69,8	10,5

Les performances de cellules sur substrats recristallisés ZMR (6,73 %) et sur FWR (5,6 %) sont toutefois inférieures que celles sur le substrat de référence (10,5 %), aussi bien en courant de circuit ouvert qu'en tension de court-circuit. M. Grau [5] affirme que ces faibles performances de la cellule de référence et celles des « cellules recristallisés » proviennent en partie, d'une résistance série élevée due au procédé de fabrication des cellules, un motif de grille en face avant non optimisé ayant été utilisé. De plus, les courants de court-circuit sont relativement faibles. Ceci est dû à l'absorption faible de la lumière par la couche mince active sur la gamme de longueur d'onde, qui peut être attribuée au confinement optique non optimisé du fait de l'absence de l'étape de texturation de surface. Par ailleurs, on note une différence

assez importante entre la performance de la cellule référence (monocristallin) par rapport aux recristallisés ZMR et FWR. Ceci se traduit par les phénomènes de recombinaison accrus en volume, dans les joints de grains et aux dislocations dans les frittés recristallisés.

II.3.3.3. Le concept wafer équivalent recristallisé RexWE (Recrystallized Wafer Equivalent)

II.3.3.3.1. Procédés de fabrication de cellule solaire à partir de wafer équivalent RexWE

Contrairement aux deux premiers concepts de wafers équivalents décrits dans les [sections II.3.3.1](#) et [II.3.3.2](#), où le substrat de silicium fritté était entièrement recristallisé, ce présent concept consiste quant à lui, à déposer et recristalliser uniquement la couche mince de silicium amorphe pour préparer la croissance de la couche active. Pour cela, des substrats de silicium frittés produits dans le four-presse à chauffage résistif, de densité supérieure 97% et de résistivité d'environ $1.10^{-3} \Omega.cm$ sont utilisés. Les frittés sont d'abord recouverts d'une couche intermédiaire (IL : Intermediate Layer) de dioxyde de silicium (SiO_2). Cette couche joue le rôle de barrière de diffusion des impuretés du fritté vers la couche active. Ensuite du silicium dopé P^+ est déposé sur la couche intermédiaire par CVD. La couche P^+ sert de couche de germination pour la croissance de la couche active après une étape de recristallisation par ZMR. L'étape de recristallisation permet d'améliorer la structure cristalline de la couche de germination avant la croissance de la couche active par épitaxie. La [figure II-10](#) représente une photographie de la couche P^+ recristallisée sur le substrat fritté avant la croissance épitaxiale de la couche active de la cellule.



Figure II-10 : Photographie après recristallisation de la couche silicium P^+ sur le substrat fritté – réalisation de la couche de germination avant la croissance épitaxiale de la couche active [20].

La couche intermédiaire (barrière à la diffusion d'impuretés) dans ce cas, est constituée de dioxyde de silicium (SiO_2), un très bon isolant électrique. Afin de pouvoir collecter les porteurs de charges, des fentes doivent être ouvertes à travers la couche de SiO_2 et traversant la couche p^+ . Cette ouverture a été faite par un Laser LFA (Laser Fired rear Access). La couche active de $15\text{ }\mu\text{m}$ est ensuite déposée par épitaxie CVD sur la couche de germination, c'est-à-dire la couche P^+ préalablement déposée et recristallisée sur le substrat fritté. Des procédés classiques de fabrication de cellules ont été ensuite utilisés pour les étapes restantes : diffusion POCl_3 pour la formation de l'émetteur, réalisation des contacts métalliques avant et arrière par dépôt d'Al. Par la suite, une double couche antireflet ($\text{TiO}_2/\text{MgF}_x$) a été déposée, et passivation hydrogène pour atténuer les recombinaisons. La structure de la cellule réalisée sur substrat de Si fritté à partir de ce présent concept de wafer équivalent (RexWE) est présentée sur la [figure II-11](#). Des cellules de $2 \times 2\text{ cm}^2$ ont ainsi été réalisées.

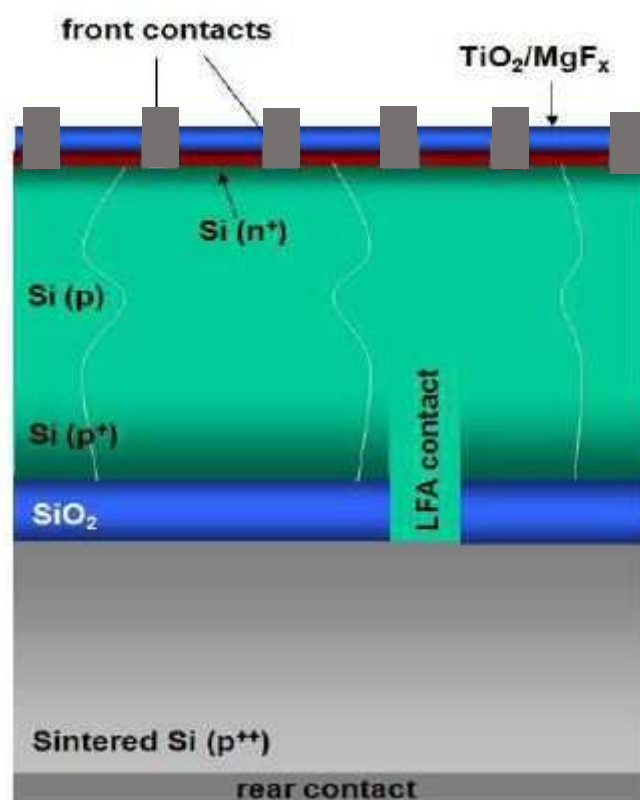


Figure II-11 : Schéma de la structure de cellule réalisée à partir du concept Recrystallized Wafer Equivalent (RexWE) [20].

II.3.3.3.2. Résultats cellules réalisée sur wafer RexWE

Les caractéristiques électriques de la cellule réalisée sur substrat fritté à partir du concept de RexWE sont présentées sur le [tableau II-5](#).

Tableau II-5 : Caractéristiques électriques et rendement de cellule réalisée sur wafer RexWE

Type de cellule	J_{cc} (mA/cm ²)	V_{oc} (mV)	FF (%)	η (%)
Cellule sur RexWE	21	580	75	9,2

Le premier rendement obtenu avec le concept de ReWE sur substrat fritté recrystallisé est de 9,2%, tandis qu'il atteint 13,5% sur la cellule de référence réalisée sur substrat standard de silicium multicristallin (mc-Si) [20]. Ce rendement de 9,2% obtenu sur le fritté recrystallisé est certes faible mais encourageant vu les valeurs élevées de la tension de circuit ouvert (580 mV) et le facteur de forme (75%). Cependant, le principal paramètre limitant le rendement de cette

cellule s'avère être la faible valeur du courant de court-circuit J_{cc} (21 mA/cm²). Cette faible valeur de J_{cc} s'explique par une faible absorption de la lumière par couche active déposée. Ceci est dû à un confinement optique non optimisé dans le procédé cellule utilisé. Ce phénomène constitue souvent un facteur limitant le rendement de cellules à couches minces sur substrats. Depuis quelques années, d'importantes recherches ont été menées par les chercheurs de l'IMEC sur l'optimisation du confinement optique des cellules à couches minces [23,24]. Par ailleurs, S. Janz et al, de l'institut Fraunhofer ISE, ont montré qu'en utilisant le concept RexWE, le rendement de conversion de la cellule augmente de 2% avec un bon confinement optique [25].

II.3.3.4. Synthèse sur les technologies antérieures de réalisation de cellule solaire S'Tile sur substrat fritté recristallisé

Les trois concepts, ou voies de réalisation de cellules S'Tile sur substrats bas coûts de silicium fritté, incluant une étape de recristallisation, sont toutes séduisantes sur le plan technologique. Cependant, les rendements de conversion obtenus restent encore faibles par rapport aux cellules industrielles. Ceci constitue un frein pour une industrialisation de cellules performantes et bas-coûts. Ces rendements sont limités d'une part par les différents défauts induits lors du procédé de recristallisation FWR et ZMR, et d'autre part par la qualité des procédés cellules employés.

Nous avons décrit les différents concepts ainsi que les limites technologiques liées à la réalisation de cellules solaires à haut rendement, incluant une étape de recristallisation du substrat fritté.

En conservant son procédé innovant de fabrication de substrat de silicium par frittage de poudre de silicium, S'Tile s'est orienté vers une technologie alternative plus simple, appelée Mono-EQ[®] (Mono-Équivalent). Ce concept consiste à rapporter une feuille mince (quelques dizaines de microns) de silicium monocristallin sur le substrat de silicium fritté bas coût, et permettant de s'affranchir des étapes de recristallisation. Il sera présenté dans le quatrième chapitre de ce manuscrit.

Le développement de la technologie i-Cell, inspirée du concept Mono-EQ[®] est l'objectif principal de ce projet de thèse et fera l'objet du chapitre III et IV.

II.4. Conclusion du chapitre II

Après avoir présenté succinctement le procédé S'Tile de réalisation de substrats par frittage de poudre de silicium, nous avons passé en revue toutes les technologies de cellules solaires réalisées sur substrats frittés recristallisés lors des travaux antérieurs à cette présente thèse.

Cette évolution technologique a été scindée en quatre volets principaux, que nous avons appelés « concepts » dans ce manuscrit. Les trois premiers concepts de fabrication de cellule directement sur substrats frittés recristallisés, (EpiWE et RexWE) incluent une phase de recristallisation partielle ou totale du substrat. Les techniques de recristallisation employées, par ZMR et par FWR ont été décrites. L'étude de l'effet de la recristallisation sur le substrat fritté a montré qu'en plus d'améliorer les propriétés microstructurales et la qualité cristalline du fritté, cette étape diminue drastiquement la teneur en impuretés initialement présente dans le fritté. Cependant, le rendement de conversion des cellules fabriquée à partir de ces concepts reste très faibles, inférieurs à 10%.

Néanmoins, la technologie de cellule intégrée, permet de s'affranchir de toutes les limites technologiques et d'obtenir des rendements de conversion élevés à coût réduit afin de concurrencer le marché des cellules standards en silicium multicristallin.

Bibliographie du chapitre II

- [1] A. Straboni, Sintered semiconductor material, US 8105923 B2.
- [2] D.D. Abdelkrim, Étude du frittage du silicium pour application aux cellules solaires photovoltaïques, Université de Poitiers, 2006.
- [3] P. Bellanger, Etude d'un procédé de recristallisation de plaquettes de silicium fritté pour la réalisation de cellules solaires photovoltaïques, Thèse de doctorat, INSA de Lyon, 2010.
- [4] A. Sow, Etude de la purification des poudres de silicium destinées à la fabrication de substrats frittés pour des applications photovoltaïques, Thèse de doctorat, Université de Poitiers, 2011.
- [5] M. Grau, Réalisation de nouvelles structures de cellules solaires photovoltaïques à partir de couches minces de silicium cristallin sur substrat de silicium préparé par frittage de poudres, Thèse de doctorat, INSA de Lyon, 2012.
- [6] E. Béré, Préparation des substrats actifs par frittage de poudre de silicium pour application photovoltaïque - étude des cinétiques de broyage et de frittage - caractérisations physiques et électriques, Thèse de doctorat, Université de Poitiers, 2001.
- [7] M.N. Rahaman, Ceramic processing and sintering, 2. ed, Dekker, New York, 2003.
- [8] R.L. Coble, Initial Sintering of Alumina and Hematite, J. Am. Ceram. Soc. 41 (1958) 55–62.
- [9] C. Greskovich, J.H. Rosolowski, Sintering of Covalent Solids, J. Am. Ceram. Soc. 59 (1976) 336–343.
- [10] D.M. Makowiecki, J.B. Holt, Materials Science Research, 13 (1979) pp. 279-88
- [11] F. F. Y. Wang, S. Bhaduri, T. A. Baum, K.M. Krishnan, Hot pressing of silicon," in Sintering Processes, Mater. Sci. Res. 13. (1979).
- [12] J. Moller, G. Welsh, J. Am. Ceram. Soc. (1985).

- [13] C.R. Pinto, J.M. Serra, M.C. Brito, R. Gamboa, J.M. Alves, A.M. Vallêra, Zone melting recrystallization of self supported silicon ribbons obtained by fast cvd from silane, Proc. 21st EPVSEC. (2006).
- [14] P. Bellanger, A. Sow, M. Grau, A. Augusto, J.M. Serra, A. Kaminski, et al., New method of fabricating silicon wafer for the photovoltaic application based on sintering and recrystallization steps, J. Cryst. Growth. 359 (2012) 92–98.
- [15] J. Hofstetter, J.F. Lelièvre, C. del Cañizo, A. Luque, Acceptable contamination levels in solar grade silicon: From feedstock to solar cell, Mater. Sci. Eng. B. 159–160 (2009) 299–304.
- [16] S. Pizzini, Solar grade silicon as a potential candidate material for low-cost terrestrial solar cells, Sol. Energy Mater. 6 (1982) 253–297.
- [17] A.A. Istratov, T. Buonassisi, M.D. Pickett, M. Heuer, E.R. Weber, Control of metal impurities in “dirty” multicrystalline silicon for solar cells, Mater. Sci. Eng. B. 134 (2006) 282–286.
- [18] C. Reimann, T. Jung, M. Trempa, J. Friedrich, Modeling of Convective Heat and Mass Transfer Processes in Crystal Growth of Silicon for Photovoltaic Applications, (2008).
- [19] A. Mette, D. Pysch, G. Emanuel, D. Erath, R. Preu, S.W. Glunz, Series resistance characterization of industrial silicon solar cells with screen-printed contacts using hotmelt paste, Prog. Photovolt. Res. Appl. 15 (2007) 493–505.
- [20] M. Grau, D. Blangis, S. Lindekugel, S. Janz, S. Reber, A. Straboni, High Voc Crystalline Silicon Thin Film Solar Cells through Recrystallised Wafer Equivalent Applied to Sintered Silicon, in: 24thEUPVSEC, Hambourg, Germany, 2009: pp. 2615–2618.
- [21] W.C. O'Mara, R.B. Herring, L.P. Hunt, eds., Handbook of semiconductor silicon technology, Noyes Publications, Park Ridge, N.J, 1990.
- [22] F. Abdo, Croissance de couches minces de silicium par épitaxie en phase liquide à basse température pour applications photovoltaïques, Thèse de doctorat, INSA de Lyon, 2007.

- [23] K. Van Nieuwenhuysen, M.R. Payo, I. Kuzma-Filipek, J. Van Hoeymissen, G. Beaucarne, J. Poortmans, Epitaxially grown emitters for thin film silicon solar cells result in 16% efficiency, *Thin Solid Films*. 518 (2010) S80–S82.
- [24] J. Van Hoeymissen, V. Depauw, I. Kuzma-Filipek, K. Van Nieuwenhuysen, M.R. Payo, Y. Qiu, et al., The use of porous silicon layers in thin-film silicon solar cells, *Phys. Status Solidi A*. 208 (2011) 1433–1439.
- [25] S. Janz, M. Kuenle, S. Lindekugel, E.J. Mitchell, S. Reber, Advanced optical confinement and further improvements for crystalline silicon thin-film solar cells, in: *IEEE*, 2008: pp. 1–5.

Chapitre III : Étude de l'oxydation thermique du silicium fritté poreux

III.1 Introduction

L'aspect théorique et expérimental de la réalisation du substrat par frittage de poudres de silicium, et de son utilisation pour des applications photovoltaïques a été présenté dans le deuxième chapitre de ce manuscrit. Cependant, dans le cas de la technologie cellule solaire intégrée, le substrat de silicium fritté joue un rôle très particulier. En effet, il combine à la fois le rôle de support mécanique grâce à la robustesse du substrat fritté, mais aussi de contact électrique ou électrode en face arrière de la cellule grâce aux propriétés électriques du substrat fritté intégré.

Le substrat fritté intégré est par définition un substrat de silicium fritté qui peut être préparé « poreux » et isolant électriquement et sur lequel des zones de conceptions locales, autrement dit, « caissons conducteurs » ont été intégrés. L'intégration de ces caissons conducteurs est réalisée par sérigraphie de motifs composés de pâtes métalliques suivie d'un recuit thermique rapide (de type recuit de firing) [1,2].

Les caissons conducteurs constituant l'électrode arrière des différentes cellules élémentaires des différentes cellules élémentaires ou sous-cellules constituant la cellule intégrée, ils doivent être séparés les uns des autres par une zone la plus isolante possible afin d'éviter les fuites de courant entre ces derniers, qui dégraderait le rendement de conversion de l'i-Cell.

Le substrat fritté isolant électriquement est essentiellement obtenu de deux manières : soit directement en frittant des poudres de silicium de qualité solaire « Solar Grade » (présentant des taux d'impuretés métalliques et de dopants très faibles), soit par oxydation thermique d'un substrat de silicium fritté à partir de poudres de qualité métallurgique. Celles-ci étant moins raffinées, et « gorgées » d'impuretés métalliques et de dopants, le fritté conducteur est oxydé afin de le rendre partiellement isolant.

Dans ce chapitre, nous nous intéresserons au processus d'oxydation thermique de substrats de silicium fritté, que nous avons délibérément rendu poreux en vue d'assurer l'isolation électrique localisée entre les caissons conducteurs. Nous examinerons également l'influence sur la cinétique d'oxydation de la porosité du substrat fritté suivant différentes températures.

III.2. L'oxydation thermique du silicium

III.2.1. Généralités

Les couches de dioxyde de silicium (SiO_2) peuvent être obtenues sur le silicium à partir de différentes techniques. Par exemple, elles peuvent être déposées grâce à une réaction en phase vapeur (CVD), par oxydation électrochimique (anodisation), ou à partir d'un plasma. Dans la pratique industrielle, les couches de SiO_2 sont obtenues le plus souvent par dépôt CVD ou par oxydation thermique. C'est cette dernière technique d'oxydation (thermique) à pression atmosphérique de vapeur d'eau, c'est-à-dire l'oxydation thermique par voie humide, qui a été essentiellement utilisée dans le cadre des travaux réalisés dans ce présent manuscrit.

D'autres techniques d'oxydation existent nécessitant des techniques expérimentales particulières, telles que la basse pression ou au contraire à très haute pression. Elles sont cependant limitées aux expériences à l'échelle du laboratoire [3].

À la différence du dépôt CVD où les précurseurs sont issus de la phase gazeuse, dans le cas de l'oxydation thermique (dans notre cas) la croissance de l'oxyde a lieu par réaction de l'espèce oxydante avec les atomes du substrat de silicium. Il est donc possible dans ce cas d'oxyder à la fois en volume et en surface les matériaux poreux.

III.2.2. Rôles de l'oxyde de silicium SiO_2

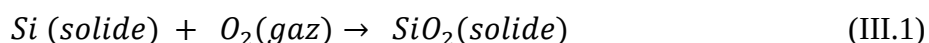
L'oxyde de silicium a de multiples fonctionnalités. Il peut être utilisé comme couche active à effet de champ dans les structures électroniques MOS (Metal-Oxide-Semiconductor) par exemple, ou comme couche passivante, ou encore comme couche ou zone d'isolation entre les différents composants d'une structure intégrée.

La couche de SiO_2 est aussi utilisée comme couche de barrière de diffusion. En effet, elle est imperméable à la diffusion des dopants habituels (comme le bore et le phosphore) à condition que son épaisseur soit suffisante.

III.2.3. Processus chimique d'oxydation thermique du silicium

L'oxydation thermique du silicium est réalisée à des températures comprises entre 800°C et 1200°C dans des fours cylindriques en quartz (Figure III-1) sous une atmosphère oxydante. Elle peut être obtenue par voie sèche sous un flux d'oxygène pur sec, ou par voie humide sous flux d'azote ou d'oxygène chargé de vapeur d'eau. Les réactions chimiques qui se produisent dans les deux cas sont respectivement décrites par les équations (III.1) et (III.2) [4].

❖ Oxydation sèche (Dry oxidation) :



❖ Oxydation humide (Wet oxidation) :

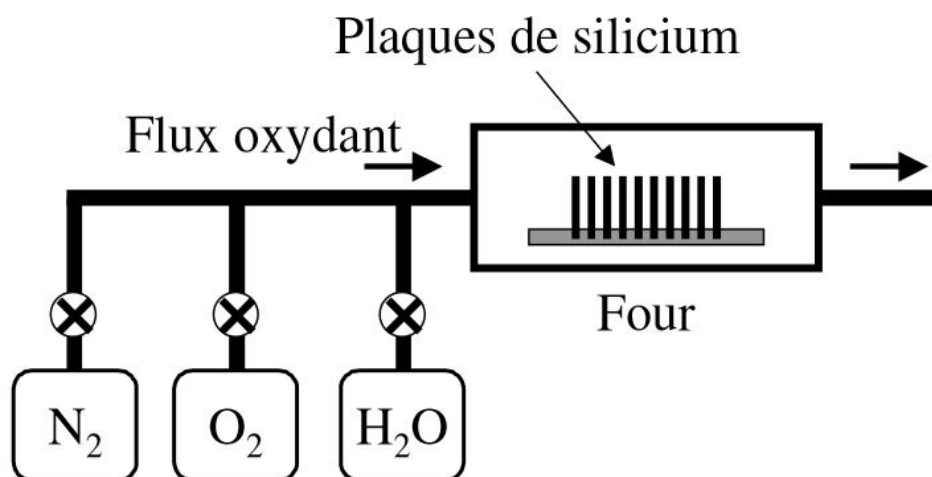
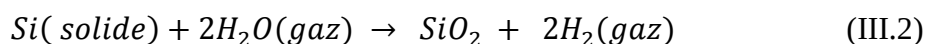


Figure III-1 : Montage expérimental du réacteur d'oxydation thermique pour voie sèche ou humide destiné à l'oxydation du Si fritté

- Phénomène de transport durant l'oxydation du silicium

Pendant l'oxydation, la croissance de l'oxyde est possible uniquement si l'un des constituants de l'oxyde (Si ou O) est transporté à travers l'oxyde. Ce constituant est appelé espèce mobile. Les cinétiques d'oxydation peuvent être déterminées à partir des équations de transport.

Afin de modéliser les lois gouvernant les cinétiques de l'oxydation thermique du silicium, il est nécessaire de connaître la nature de l'espèce diffusant dans l'oxyde et la façon dont elle se déplace. Les espèces en présence lors de l'oxydation thermique du substrat de silicium en ambiance sèche ou humide peuvent être les atomes de silicium originaires du substrat et les atomes d'oxygène provenant de l'espèce oxydante (O₂ ou H₂O). Cependant, divers avis ont été proposés sur la nature de l'espèce mobile. Pour Deal et Grove [5] et J. Blanc [6], les molécules oxydantes diffusent à travers l'oxyde qui croît, par transport dans l'oxyde et réaction avec du silicium.

Il a été démontré expérimentalement, notamment en utilisant des techniques de marquage isotopique (ou traceurs radioactifs) [7–10] que l'oxydation du silicium était réalisée par la

pénétration vers l'intérieur des espèces oxydantes à travers les couches d'oxyde et non par le procédé inverse de déplacement vers l'extérieur du silicium jusqu'à la surface extérieure de l'oxyde. Le transport de l'oxygène dans le SiO_2 est, de ce fait, le mécanisme dominant [4]. Par ailleurs, lors de ses travaux de Thèse en 1979, A. Straboni a été le premier à démontrer expérimentalement que dans le cas d'une oxydation sèche, l'espèce oxydante O_2 diffuse dans le Si sans réagir avec la couche de SiO_2 déjà formée, tandis que dans le cas d'une oxydation humide, le groupement OH échange avec le réseau de SiO_2 avant d'atteindre l'interface SiO_2/Si .

La solubilité (C^*) de la vapeur d'eau (H_2O) dans SiO_2 étant nettement plus élevée que celle de O_2 dans SiO_2 , les flux d'espèces oxydantes (proportionnels à $D \times C^*$ sont nettement plus importants et l'oxydation par voie humide beaucoup plus rapide, d'où notre choix pour l'oxydation des substrats de silicium frittés poreux).

- **Consommation du silicium pendant la croissance de l'oxyde de silicium**

Au cours de l'oxydation thermique, il y a consommation du silicium pour la formation de la couche d'oxyde de silicium (SiO_2). Par conséquent, l'interface Si/SiO_2 se déplace progressivement vers l'intérieur de la plaquette de silicium (figure III-2) en consommant une épaisseur de Si égale environ à la moitié de l'épaisseur de la couche de SiO_2 formée [4]. A partir des densités et masses molaires respectives de Si et de SiO_2 , il est possible d'estimer l'épaisseur de l'oxyde formée par rapport à l'épaisseur du silicium consommée (équation III.3).

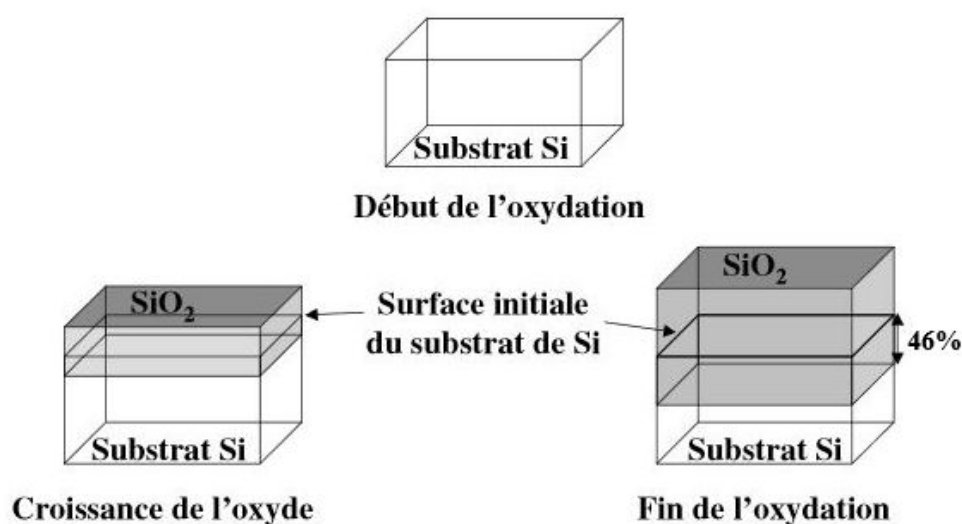


Figure III-2 : Illustration de la croissance de l'oxyde de silicium sur le substrat. Le Si consommé représente environ 46% de l'épaisseur de la couche de SiO_2 thermique [3].

$$X_{Si} = X_{ox} \frac{N_{ox}}{N_{Si}} \quad (III.3)$$

N_{ox} est la densité moléculaire de l'oxyde thermique de silicium (SiO_2), N_{Si} est la densité atomiques du silicium (Si). X_{Si} et X_{ox} sont respectivement l'épaisseur du silicium consommé et l'épaisseur d'oxyde de silicium formé.

$$X_{Si} = X_{ox} * \frac{2,3 * 10^{22} \text{ (molécules/cm}^3\text{)}}{5 * 10^{22} \text{ atomes/cm}^3} = 0,46 X_{ox}$$

Ainsi, l'épaisseur de silicium consommé est de 46% l'épaisseur finale de l'oxyde formée. De ce fait, une consommation de 1 μm de Si correspond à la formation de 2,17 μm de SiO_2 .

III.2.4. Oxydation du silicium poreux

III.2.4.1. Le silicium poreux

III.2.4.1.1. Historique et application

Le silicium poreux est une forme particulière du silicium cristallin [11]. Tout d'abord, une forme microstructurée du silicium a été découverte pour la première fois par A. Uhlir, Jr. au milieu des années 1950 (1956) dans les laboratoires Bell aux USA [12]. Au cours d'une expérience d'électro-polissage du silicium par une solution d'acide fluorhydrique (HF), A. Uhlir observa que la surface des wafers était recouverte par un dépôt mat qui pouvait aussi être rouge, marron ou noir. Il assimila ce dépôt à une forme particulière d'oxyde (suboxyde). En 1957, l'année suivant la découverte originale d'Uhlir, Fuller et Ditzenberg [13] ont observé le même phénomène que celui observé par Uhlir mais dans une solution de HF- HNO_3 . Pendant les années suivantes, plusieurs auteurs, parmi eux Turner (1958) [14] et Archer [15], parlèrent de la même couche similaire à celle d'Uhlir, mais l'aspect poreux de celle-ci resta encore méconnu durant des années [16]. Ce n'est qu'en 1971, que Watanabe & Sakai [17,18], parlèrent pour la première fois de la nature poreuse de cette couche. Les travaux de ce dernier ont également permis de conclure que la couche observée n'était pas due à une redéposition du silicium en surface, mais qu'il s'agissait bien d'une dissolution localisée du substrat de silicium.

Depuis sa découverte, le développement du silicium poreux a suscité un intérêt majeur dans le monde scientifique grâce à la diversité de ses applications [19]. Ses propriétés de photoluminescence à température ambiante découvertes par Canham [20] en 1990 lui valent un intérêt grandissant pour l'optoélectronique. Cette photoluminescence, directement reliée à la porosité du silicium, provient des propriétés de confinement quantique dues à la taille des cristallites.

Le Si poreux est aussi envisagé dans le domaine du solaire photovoltaïque, notamment comme couches sacrificielles dans le cadre des technologies de transfert de couches minces monocristallines, comme celle proposée par S'Tile dans sa technologie de transfert de feuilles minces sur substrat de silicium fritté à bas coût [2,21], ou encore comme proposé par Brendel [22,23], et par Bergmann [24]. Grâce à ses propriétés optiques, plusieurs études ont été menées pour son utilisation en tant que réflecteur de lumière « type miroir de Bragg » pour améliorer le confinement optique dans les cellules solaires photovoltaïques [25].

Le [tableau III-1](#) donne une vue globale de la diversité de champs d'application du silicium poreux [26].

Tableau III-1: Illustration des champs potentiels d'application du silicium poreux [26]

Application area	Role of porous silicon	Key property
Optoelectronics	LED Waveguide Field emitter Optical memory	Efficient electroluminescence Tunability of refractive index Hot carrier emission Non-linear properties
Micro-optics	Fabry-Pérot Filters Photonic bandgap structures All optical switchning	Refractive index modulation Regular macropore array Highly non-linear properties
Energy conversion	Antireflection coatings Photo-electrochemical cells	Low refractive index Photocorrosion cells
Environmental monitoring	Gas sensing	Ambient sensitive properties
Microelectronics	Micro-capacitor Insulator layer Low-k material	High specific surface area High resistance Electrical properties
Wafer technology	Buffer layer in heteroepitaxy SOI wafers	Variable lattice parameter
Micromachining	Thick sacrificial layer	Highly controllable etching
Biotechnology	Tissue bonding Biosensor	Tunable chemical reactivity Enzyme immobilization

III.2.4.1.3. Élaboration du silicium poreux à partir du substrat de Si monocristallin

Il existe différentes techniques d'élaboration du silicium poreux que l'on peut classer en deux catégories : La voie sèche où il est réalisé par attaque plasma et la voie humide, où on rencontre la dissolution chimique et l'anodisation électrochimique. Cependant, la technique d'anodisation électrochimique du silicium est plus utilisée pour l'obtention du silicium poreux. Celui-ci progressant par consommation du silicium et formation de cavités profondes. L'anodisation électrochimique permet en effet, de réaliser des couches poreuses très épaisses (plusieurs centaines de microns) alors que la voie plasma est limitée à la surface du matériau.

III.2.4.1.4. Oxydation du Si poreux (porosifié à partir du substrat monocristallin)

Sous sa forme oxydée le silicium poreux a connu un succès phénoménal dans l'industrie de la microélectronique. En effet, l'oxydation thermique du silicium poreux a été démontrée comme étant un bon candidat pour la formation de couches électriquement isolantes dans le cadre des technologies dites « Silicon On Insulator (SOI) » des circuits de transistors MOS (Metal-Oxide-Semiconductor) [27,28]. Par ailleurs, l'oxydation thermique localisée du silicium poreux a permis la réalisation de la première structure FIPOS (Full Isolation by Porous Oxidized Silicon) utilisée dans les structures CMOS (Complementary Metal-Oxide-Semiconductor) [29]. Grâce au procédé ELTRAN® (Epitaxial Layer TRANSfer) développé par Canon, le wafer SOI-Epi™ a été le premier produit utilisant le silicium poreux à être commercialisé dans l'industrie de la microélectronique. Ce procédé, illustré sur la Figure III-3 est basé sur l'épithaxie sur le du

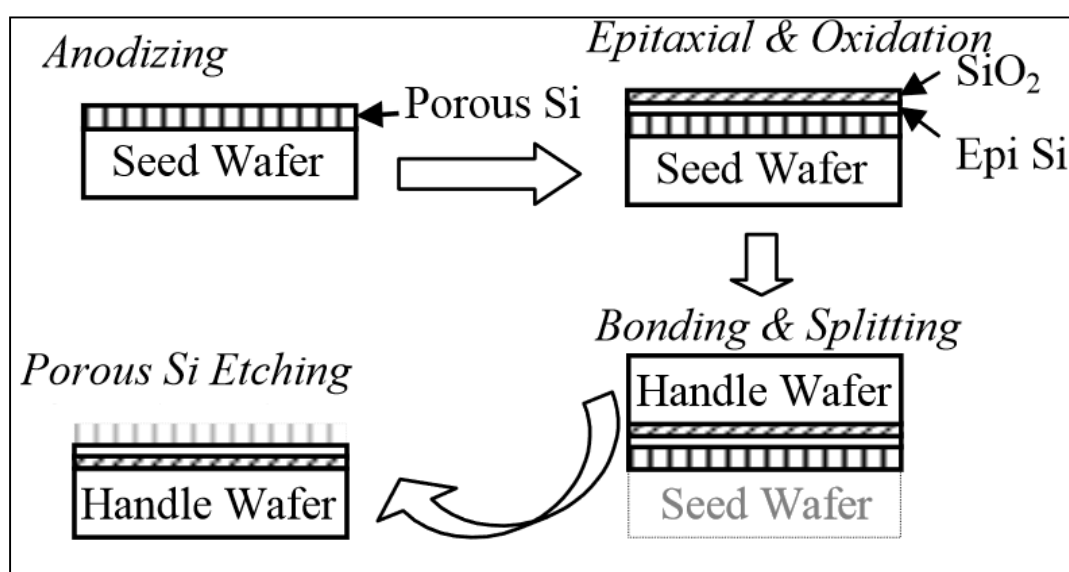


Figure III-3 : Illustration du procédé ELTRAN® de fabrication de wafer SOI (Silicon-On-Insulator) basé sur l'utilisation du silicium poreux

silicium porosifié par anodisation suivie d'une étape d'oxydation thermique avant de le transférer sur le wafer récepteur de la structure SOI.

III.3. Oxydation thermique du silicium fritté

Dans ce paragraphe, nous nous intéresserons à une autre forme de silicium poreux, obtenue d'une manière beaucoup plus simple : directement à partir du frittage de poudre de silicium et destiné à la fabrication de la cellule solaire intégrée (i-Cell) de S'Tile.

En complément des applications photovoltaïques, des études réalisées avec Hotblock (Spin-Off du CEA) et partenaire de la société S'Tile, ont montrés que le silicium fritté pouvait être utilisé pour la fabrication de matériaux à base de silicium destinés à des applications thermoélectriques. Afin de réduire d'avantage les coûts de production de sa cellule, S'Tile envisage d'utiliser pour la réalisation de son substrat fritté une poudre de silicium bas coût, de qualité métallurgique (3-4N). Cependant, l'utilisation de substrats de Si frittés issus de frittage de poudres de qualité métallurgique nécessite une étape préalable d'oxydation thermique.

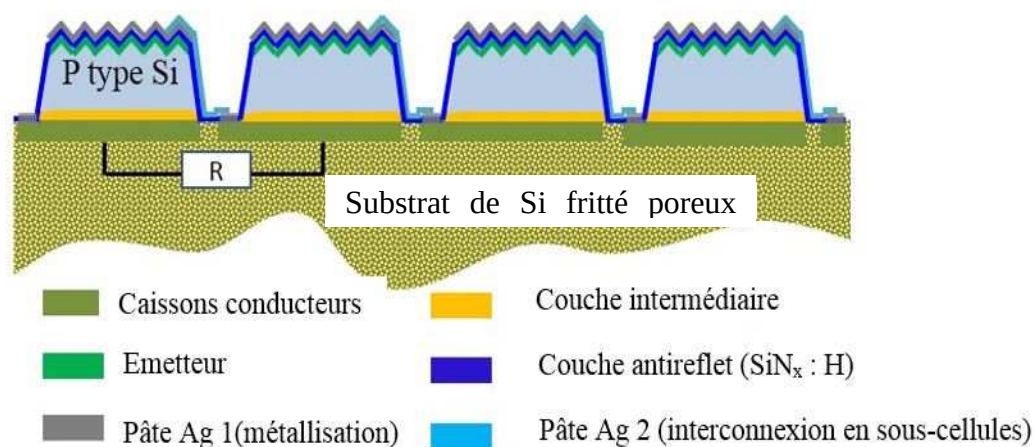


Figure III-4 : Structure de la cellule intégrée (i-Cell) réalisée sur substrat fritté de qualité métallurgique

En effet, l'étape d'oxydation permet d'introduire une phase isolante dans le fritté permettant d'assurer une bonne isolation électrique entre les caissons conducteurs. Ceci permettrait en effet d'éviter les courants de fuite entre les sous-cellules de la cellule intégrée. La structure de l'i-Cell réalisée sur un substrat fritté de qualité métallurgique est rappelée sur la [figure III-4](#).

L'étude de la cinétique d'oxydation du silicium fritté poreux sera présentée. L'influence de la porosité initiale du substrat de silicium fritté, ainsi que celle des paramètres d'oxydation tels que, le temps et la température d'oxydation sur la prise de masse, seront étudiées.

III.3.1. Protocole expérimental

Nous allons présenter dans ce paragraphe les procédures expérimentales employées lors de cette thèse pour l'élaboration des substrats de silicium frittés destinés à l'étude du mécanisme et de la cinétique d'oxydation de ces derniers.

III.3.1.1 Préparation des échantillons

III.3.1.1.1 Préparation des poudres

Deux catégories de poudres ont été sélectionnées pour cette étude, une poudre issue du broyage de granules de qualité SoG (Solar grade) de silicium fournie par l'entreprise Wacker et une poudre fine issue des réacteurs de lits fluidisés. Le broyage des granules Wacker a été effectué sous atmosphère contrôlée (sous balayage d'argon) afin de limiter les contaminations/oxydation de la poudre. Un broyeur planétaire à billes a été utilisé dans cette étude. Les paramètres de broyage utilisés sont donnés dans le [tableau III-2](#).

Tableau III-2 : paramètres de broyage des granules de silicium Wacker

Vitesse de rotation	Taille granules de Si	Nbre de billes	Qté granules de Si	Durée broyage	Durée Cycle			d 50
					Broyage (min)	Pause (min)	Nbre de Répétition	
300 tr/min	1-2 mm	15	80g	2 h	30	5	4 (3 sur machine)	3,8 μ m

Les principales caractérisations réalisées sur ces deux types de poudres sont données sur le [tableau III-3](#).

- Les analyses granulométriques ont été faites par granulométrie laser : cette analyse permet de définir la répartition de la taille des grains dans un échantillon de poudre donné : d_{50} représente la taille moyenne des grains. d_{10} et d_{90} représentent respectivement, la taille des fractions plus fines et plus grosses.

- Les mesures de surfaces spécifiques ont été réalisées par la méthode dite de BET (Brunauer, Emmett and Teller), cette analyse permet de déterminer la surface développée par les poudres. Comme montré sur le [tableau III-3](#), plus la poudre est fine, plus la surface développée par cette dernière est importante.

Tableau III-3: caractéristiques des poudres utilisées

Poudre	Granulométrie			Surface spécifique (m ² /g)
	d ₁₀ (µm)	d ₅₀ (µm)	d ₉₀ (µm)	
Poudre broyée 2H	0,4	3,8	16,2	4,5
Poudre issue des réacteurs de lits fluidisés	0,2	0,6	5	13

III.3.1.1.2 Compactage et frittage des lits de poudre

Les deux types de poudres, préalablement tamisées, sont mélangées dans un bocal en verre suivant une proportion massique 80% de poudre Wacker (broyée pendant 2h) et 20% de la poudre fine. La poudre fine est utilisée ici comme un « liant ». Elle permet en effet un meilleur compactage et une bonne tenue mécanique des « galets ou compacts de poudres ».

Les poudres sont manipulées dans une boîte à gants sous un balayage d'argon (Ar). Les lits de poudres sont étalés sur des pistons rectangulaires en aluminium de dimensions 70 mm x 55 mm dans une matrice elle aussi en aluminium. Une pression à froid (compactage) de 25 MPa est nécessaire afin d'améliorer la tenue mécanique des lits de poudres. Des compacts de poudres sont ainsi obtenus. Les compacts sont ensuite transférés sur des pistons en graphite recouverts d'une couche de SiC. Une couche anti-collage est appliquée par projection sur les pistons de graphite une solution de nitrure de silicium (Si₃N₄). En effet, la couche de Si₃N₄ permet d'éviter le collage du silicium sur le piston pendant processus de frittage. L'ensemble est ensuite transféré dans le four à chauffage résistif conçu par la société Thermal Technology pour y mettre en œuvre le processus de frittage sous charge. Le procédé de frittage ainsi que le dispositif expérimental de frittage utilisé ont été décrits dans la [section II.3.1.3](#) de ce manuscrit.

La [figure III-5](#) résume les étapes essentielles réalisées au cours de cette étude pour l'élaboration des substrats de silicium fritté. Le montage réalisé dans ce four de frittage permet de produire six substrats de silicium fritté de dimension 70 mm x 55 mm.

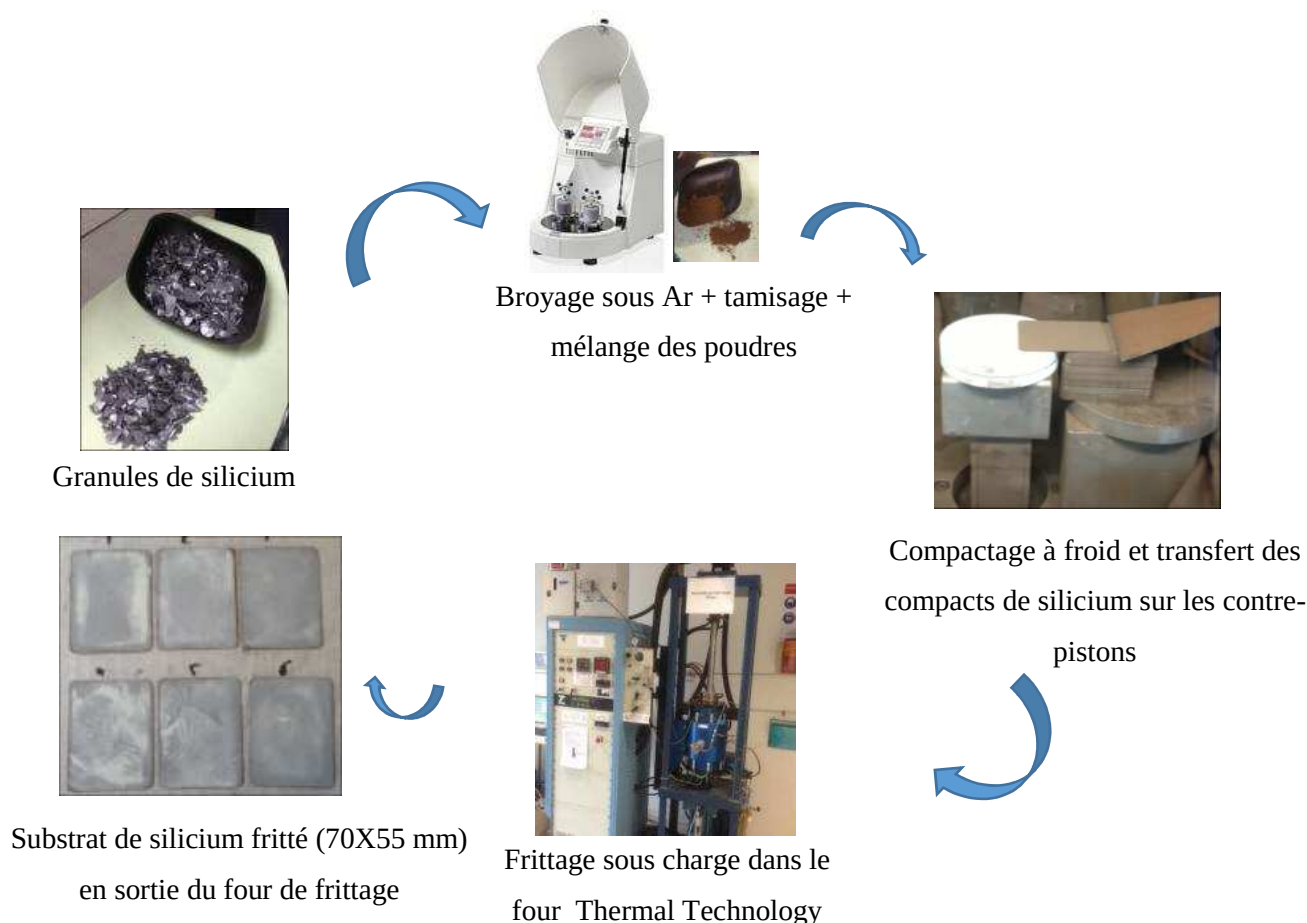


Figure III-5 : Résumé de l'enchainement des étapes, de la préparation des poudres à l'obtention des plaquettes de Si frittées

III.3.1.1.3 Caractérisations des substrats de silicium frittés

Préalablement aux études d'oxydation du substrat fritté, de nombreux essais de frittage de ces mélanges de poudres ont été réalisés. Ces essais ont permis de déterminer les conditions expérimentales de température, de pression et de temps de frittage nécessaires à l'élaboration des substrats frittés de porosité contrôlée. Ainsi, en fixant la durée du pallier et la pression appliquée à ce pallier lors du frittage, quatre conditions de température ont permis d'obtenir des substrats frittés présentant des niveaux de porosités différentes (10 %, 16 %, 20 % et 28 %).

La figure III-6 montre l'évolution de la porosité des frittés en fonction de la température de frittage. Les porosités des frittés ont été mesurées par la technique d'Archimède (présentée dans la section ANNEXE1). Cette technique de mesure permet de dissocier les porosités ouvertes et les porosités fermées. Les substrats de Si fritté obtenus dans le cadre de ces expériences présentent essentiellement des porosités ouvertes ; les porosités fermées sont quasi-nulles.

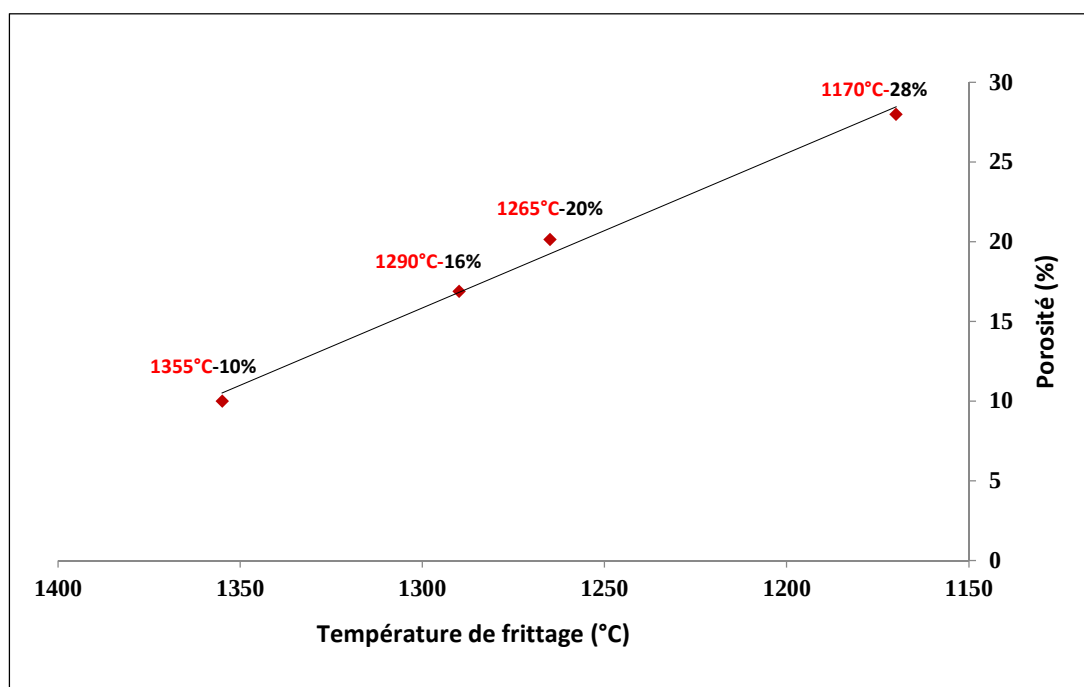


Figure III-6: Évolution de la porosité des substrats frittés en fonction de la température de frittage

Nous pouvons observer une évolution linéaire de la porosité du fritté en fonction de la température de frittage dans la gamme de température étudiée $1170^{\circ}\text{C} < T < 1355^{\circ}\text{C}$, c'est-à-dire $0,82T_f < T < 0,95T_f$. T_f est la température de fusion de silicium (1414°C). La porosité du substrat de Si fritté est très sensible à l'évolution de la température de frittage. Les mesures de résistivité électrique des frittés ont été réalisées par une technique de mesure en 8 pointes (mesure 4 pointes en transverse) développée par S'Tile spécialement pour ce type de plaquette. Cette technique de mesure est une adaptation de la technique des 4 pointes classiques. La figure III-7 montre l'évolution des résistivités électriques en fonction de la porosité du substrat. Ainsi, des substrats de résistivité électrique pouvant varier de $2 \Omega\cdot\text{cm}$ à plus de $4000 \Omega\cdot\text{cm}$ ont été obtenus suivant la porosité.

Ce graphe, montre une évolution linéaire de la résistivité électrique en fonction de la porosité du substrat sur une échelle logarithmique de la forme : $R = R_0 e^{aP}$. P étant la porosité du substrat, $R_0 = 10^{-2}$ la résistivité du fritté à une porosité nulle, et $a = 0,44$ est une constante.

Ceci se traduit par l'évolution de la proportion de vide (porosités) dans le substrat, les vides étant bien sûr un obstacle au transport du courant électrique. Nous rappelons que mis à part les impuretés ou dopants déjà présents dans le four de frittage utilisé, aucun dopant n'a été délibérément ajouté pendant ces travaux.

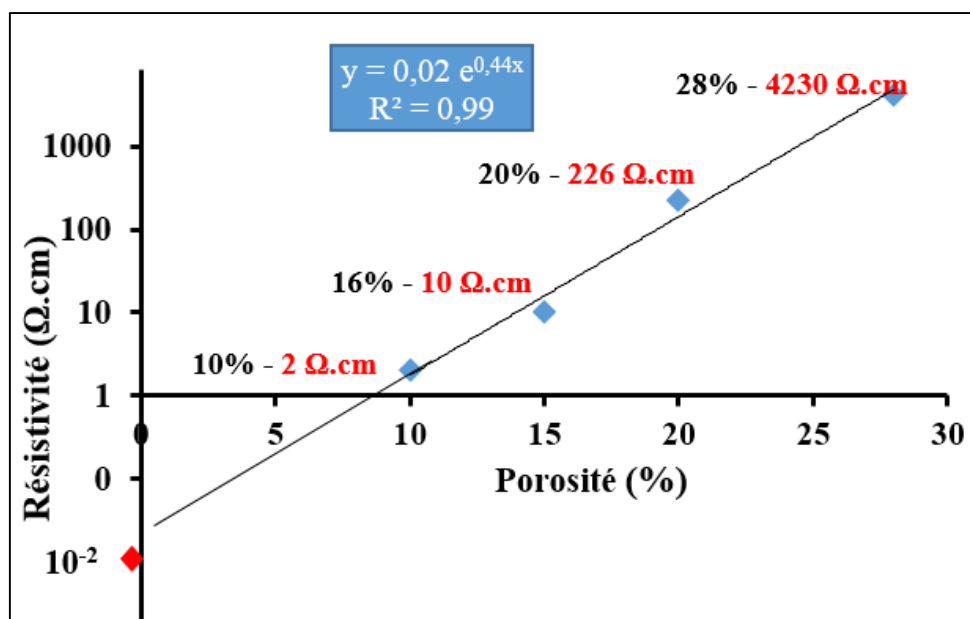
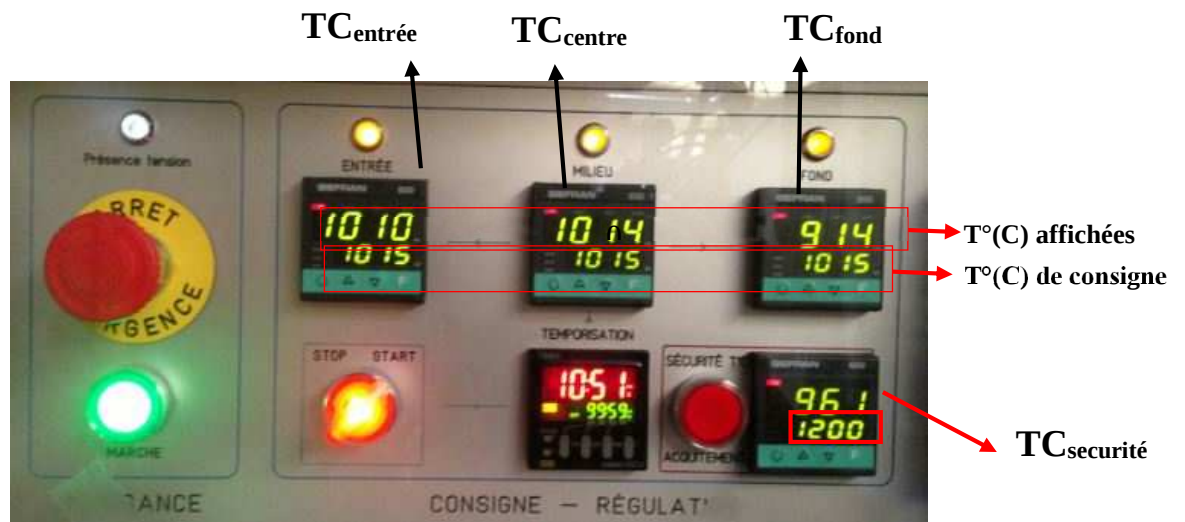
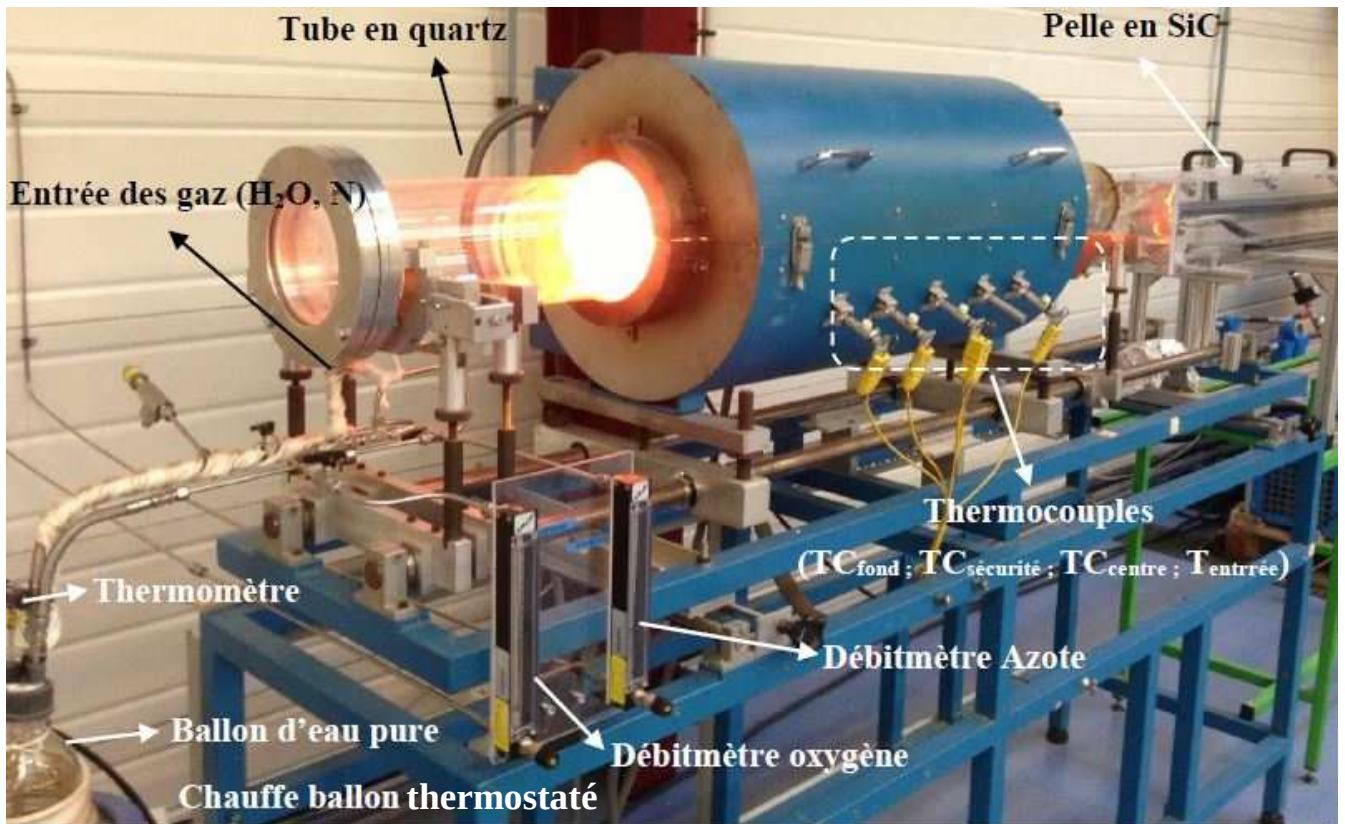


Figure III-7 : Évolution de la résistivité électrique du substrat en fonction de la porosité

III.3.1.2 Description du réacteur d'oxydation thermique utilisé

Le four d'oxydation thermique utilisé au cours de ces travaux de thèse est un four classique horizontal, constitué d'un tube en quartz. La figure III-8 représente une photographie du montage expérimental que nous avons réalisé avec l'aide du responsable équipements de S'Tile dans le cadre de ces travaux. Le four est constitué de trois zones de chauffes (zone du fond, zone centrale, et zone d'entrée) régulées par trois thermocouples installés sur la façade avant du four. Le système est doté d'un quatrième thermocouple appelé thermocouple de sécurité (TC_{sécurité}). Comme son nom l'indique, ce dernier mesure la température limite (1200°C dans notre cas) à ne pas dépasser dans le four. Ceci est par mesure de précaution pour ne pas

dégrader l'appareillage. La figure III-9 montre le système central de régulation des différentes zones de chauffe du four, et d'affichage des mesures de températures dans celles-ci.



Comme montré sur la [figure III-10](#), correspondant à une représentation schématique simplifiée du four d'oxydation, le système de chauffage est assuré par des résistances bobinées déployées tout autour du tube de quartz et isolées thermiquement par de la mousse en silice.

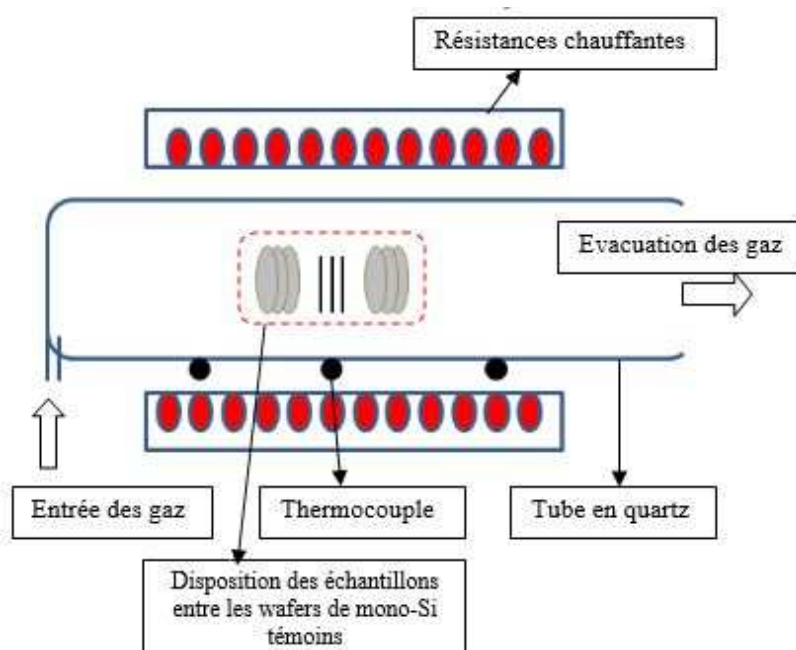


Figure III-10: Schéma simplifié du four, mise en évidence du système de chauffage

Ce montage est destiné à la fois à l'oxydation thermique par voie sèche mais aussi par voie humide. C'est principalement le processus d'oxydation par voie humide qui a été utilisé dans cette présente étude, car il est plus rapide que l'oxydation par voie sèche et permet d'obtenir des couches épaisses d'oxyde plus adaptées à l'isolation électrique entre les caissons conducteurs du substrat intégré. L'agent oxydant (de la vapeur d'eau dans ce cas) est obtenu en faisant barboter un flux d'azote (N_2) dans de l'eau déionisée contenue dans un ballon thermostaté. L'eau est chauffée à 95-97°C. La régulation et le contrôle de la température de l'eau déionisée sont assurés respectivement par le chauffe-ballon et le thermomètre installé sur le ballon ([figure III-8](#)). Toutefois, un cordon chauffant est entouré autour du ballon dans le but de maintenir la température de l'eau à 95-97°C tout au long du processus d'oxydation.

L'introduction des échantillons dans le four est réalisée à l'aide d'une pelle en carbure de silicium (SiC). Comme montrés sur la [figure III-11](#), les substrats de silicium fritté sont placés dans une nacelle en quartz, entre des wafers en silicium monocristallin de dimensions 4 pouces. Ces derniers ont pour rôle d'homogénéiser la température ainsi que le flux de gaz dans la zone d'oxydation.

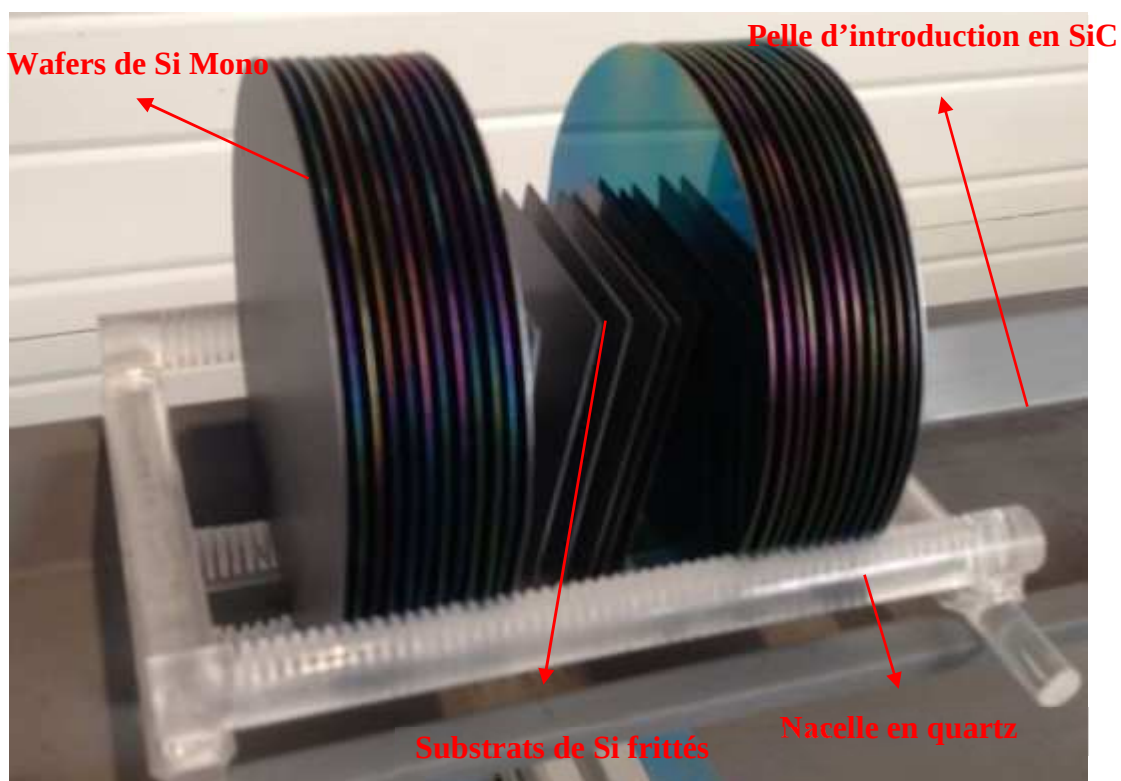


Figure III-11 : Photographie montrant la disposition des échantillons sur la nacelle quartz, installée sur la pelle d'introduction.

Les échantillons sont introduits dans le four à environ 400-450°C sous un flux d'azote (5l/min). L'introduction des échantillons se fait pas à pas (environ 10 cm/min) afin d'éviter les chocs thermiques que pourraient subir les échantillons.

III.3.2. Mise en œuvre de l'oxydation thermique du silicium fritté

Des substrats de silicium fritté ont été élaborés comme décrit dans la section III.3.1.1 de ce chapitre. Ces substrats, présentant des épaisseurs de 350-400 μm , des porosités comprises entre 10% et 28%, et des résistivités allant de 2 à 4230 $\Omega\cdot\text{cm}$ ont été oxydés dans différentes conditions. Nous rappelons que toutes les oxydations ont été faites par voie humide et à pression atmosphérique.

Nous allons investiguer l'influence des paramètres d'oxydation, notamment la température et le temps d'oxydation sur l'évolution de la porosité ainsi que la prise de masse des substrats frittés. Les cinétiques d'oxydation des substrats frittés en fonction des conditions d'oxydation ont été évaluées à partir de leur prise de masse. Pour cela, des pesées successives ont été réalisées avant et après chaque condition d'oxydation thermique. De même, afin d'étudier l'évolution de la porosité du substrat en fonction des conditions d'oxydation, celles-ci ont été mesurées par la technique d'Archimède avant et après chaque condition d'oxydation. L'étude

de la microstructure des substrats frittés oxydés a été réalisée par des observations MEB (Microscopie Électronique à Balayage) et MET (Microscopie Électronique en Transmission). Ces observations microscopiques (MEB et MET) ont été réalisées à l'université d'Orléans.

III.3.3. Résultats et discussions

III.3.3.1 Étude de l'influence de la température d'oxydation

L'influence de la température d'oxydation sur les mécanismes d'oxydation du silicium fritté a été étudiée. De ce fait, les substrats de silicium fritté « poreux » présentant des porosités de 10%, 16%, 20% et 28% ont été oxydés à différentes températures (800°C, 850°C, 900°C et 1000°C), le temps d'oxydation étant fixé ici à 1 heure.

La [figure III-13](#) montre l'évolution de la porosité des frittés en fonction de la température d'oxydation. Ce graphe montre une chute brutale de la porosité des substrats frittés dès les premières températures d'oxydation (800°C et 900°C). Par ailleurs, les porosités des frittés diminuent de presque 50% à 900°C.

Afin de mieux comprendre ce phénomène, une modélisation du processus d'oxydation du substrat de silicium fritté est illustrée sur la [figure III-12](#).

❖ *Avant le processus d'oxydation*, le substrat fritté est constitué essentiellement de grains de silicium soudés entre eux et formant des canaux de porosités plus ou moins important selon les conditions de frittage employées. Les porosités des substrats frittés étant essentiellement des pores ouverts, les canaux de porosités sont donc communicatifs (c'est-à-dire interconnectés entre eux).

❖ *Pendant le processus d'oxydation*, la vapeur d'eau pénètre dans le volume du fritté via les canaux de porosité et diffuse à travers la couche d'oxyde déjà formée autour des grains de Si avant d'atteindre l'interface SiO_2/Si où se produit la réaction chimique d'oxydation thermique conduisant à la formation de la couche de SiO_2 .

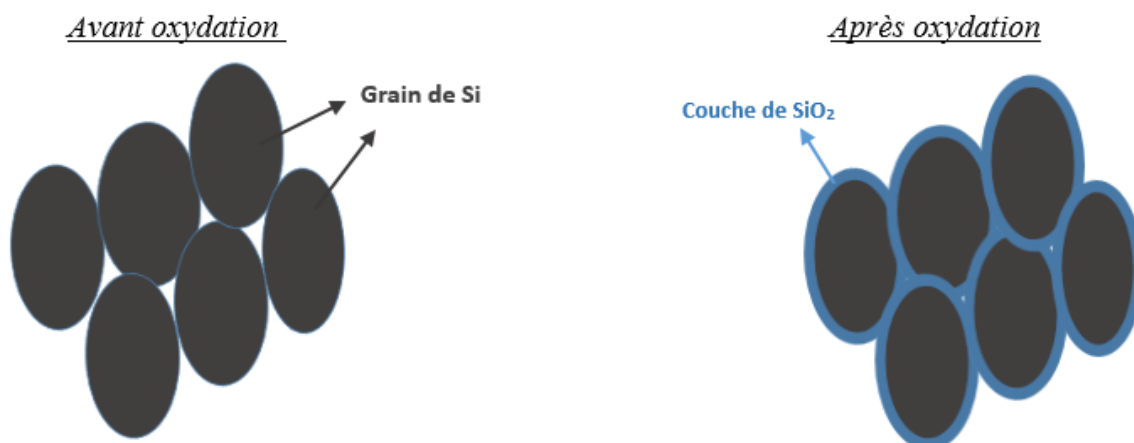


Figure III – 12 : Modélisation du processus d'oxydation thermique du substrat de silicium fritté. La figure de gauche illustre l'arrangement des grains de silicium ainsi que les canaux de porosité au sein du substrat de Si fritté avant le processus d'oxydation. La figure de droite illustre la croissance de la couche de SiO₂ autour des grains de Si, conduisant au rétrécissement voire la fermeture des derniers pendant l'oxydation thermique.

La chute de porosité reflète donc la croissance du SiO₂ à l'intérieur des canaux de porosité et autour des grains de Si, préférentiellement dans les joints de grains : la vapeur d'eau diffuse aux joints de grains et favorise l'oxydation inter granulaire [30], conduisant au rétrécissement progressif des pores jusqu'à leur fermeture.

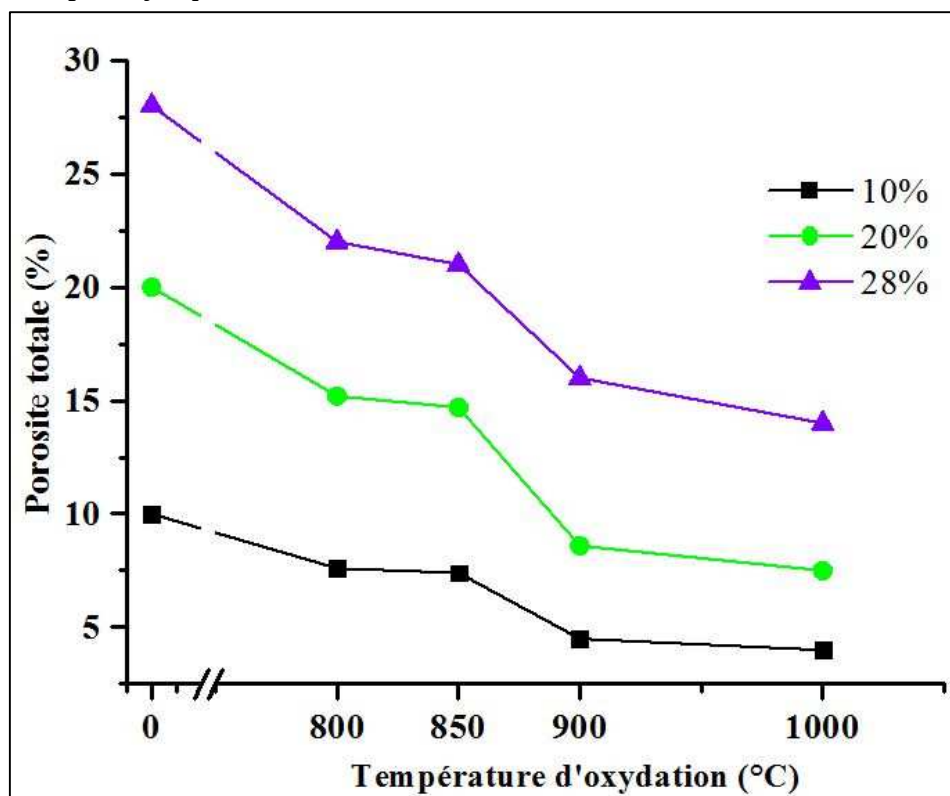


Figure III-13 : Évolution de la porosité des frittés en fonction de la température d'oxydation. Le temps d'oxydation est fixé ici à 1 heure [31]

La chute de porosités en fonction de la température d'oxydation (figure III-13) peut être corrélée à l'augmentation de la prise de masse du substrat fritté oxydé illustrée sur figure III-14. Ce graphique montre l'effet conjugué de la température d'oxydation et de la porosité initiale du substrat fritté sur la prise de masse. Ainsi, hormis l'influence de la température d'oxydation, nous constatons que la prise de masse du substrat fritté oxydé augmente drastiquement avec la porosité initiale. Par exemple, après l'oxydation à 900°C, l'échantillon présentant une porosité initiale de 10% enregistre une prise de masse de seulement 3,2% tandis que celui présentant une porosité initiale 28% enregistre une prise de masse de plus de 30%. Ces résultats montrent que quelle que soit la température d'oxydation, la prise de masse augmente drastiquement avec la porosité du substrat fritté. En effet, plus l'échantillon est poreux plus la surface spécifique développée par celui-ci, donc la surface disponible à la réaction chimique d'oxydation thermique, est importante. Par ailleurs, nous pouvons également déduire que quelle que soit la porosité initiale du substrat fritté, l'augmentation de la prise de masse est d'autant plus prononcée que la température d'oxydation est élevée.

Par ailleurs, l'évolution de la prise de masse avec la porosité initiale du fritté pourrait être comparée à la surface spécifique du fritté.

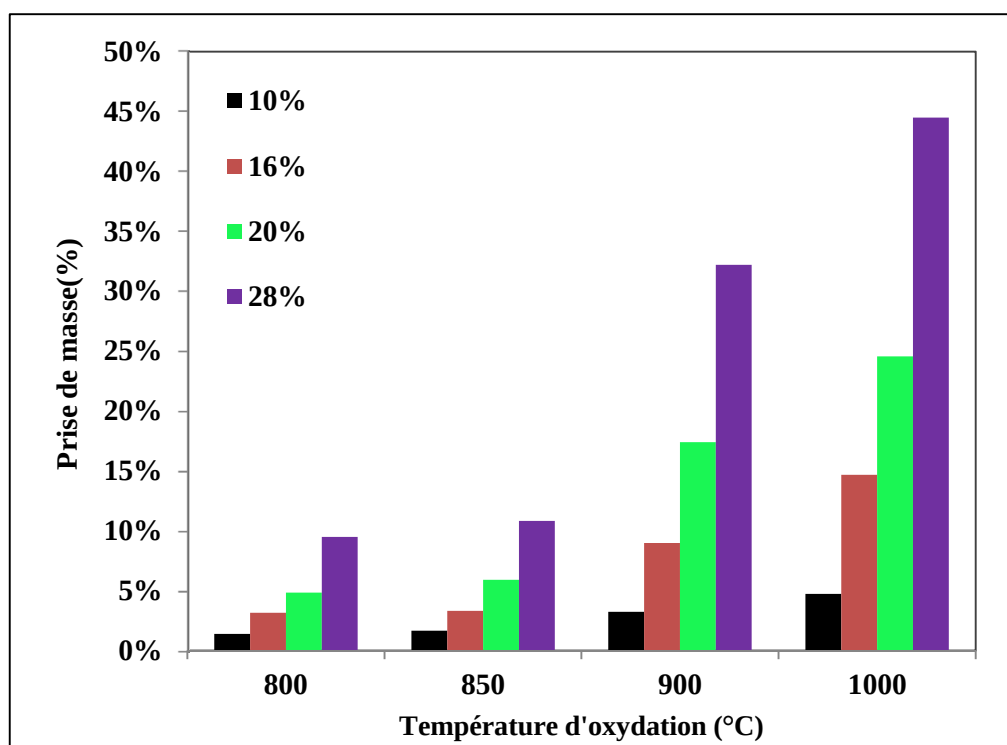


Figure III-14 : Évolution de la prise de masse des substrats frittés oxydés en fonction de la température d'oxydation [31]

Les figures III-15 et III-16 représentent les analyses microstructurales réalisées respectivement par MEB et par MET. Les observations MEB ont été faites sur la section du substrat fritté, tandis que celles réalisées par MET ont été réalisées sur la face de l'échantillon suite à amincissement préalable de celui-ci par voie mécanique et ionique.

Ainsi, la figure III-15 correspondant à une observation MEB réalisée sur la section de l'échantillon présentant une porosité initiale de 20% avant et après une oxydation de 5 heures

Avant oxydation (identification des canaux
de porosité)

Après oxydation (rétrécissement des canaux
de porosité)

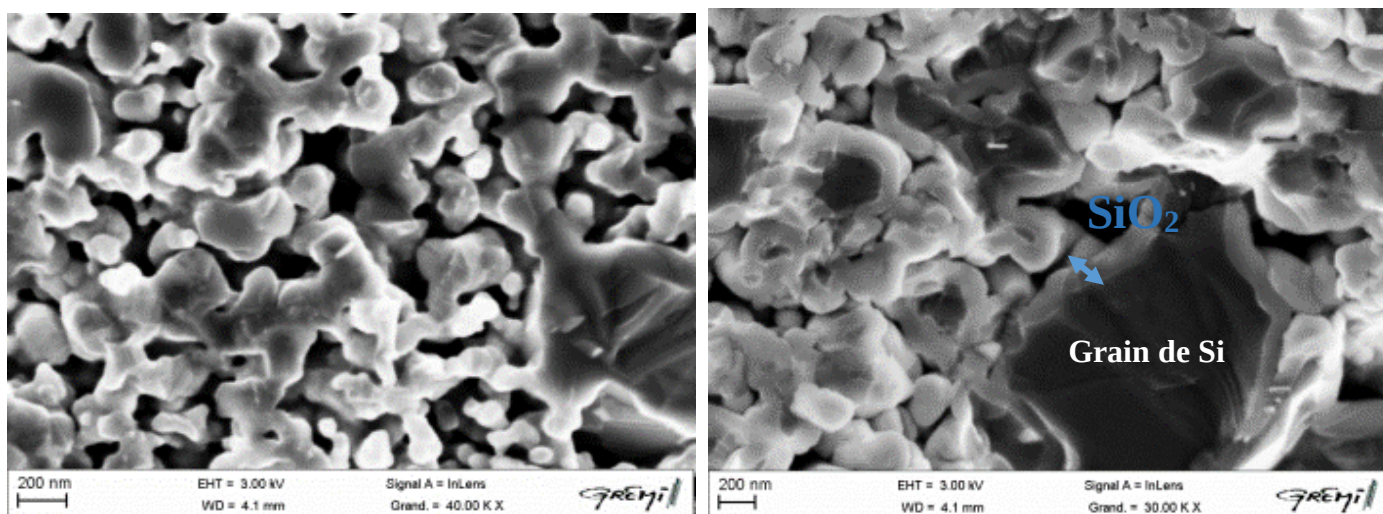


Figure III-15 : Images MEB d'une coupe de l'échantillon présentant une porosité initiale de 20%. Avant oxydation (image de gauche : où les porosités ou vides apparaissent en zones sombres) ; et après oxydation 850°C-5h (image de droite, où l'on observe que la plupart des pores ont été fermés par la croissance de la couche du SiO_2 en blanc, autour des grains de Si (en gris foncé)).

à 850°C. Ces images permettent en effet de mettre évidence le phénomène de croissance de la couche de SiO_2 dans le cœur du fritté et autour des grains de Si conduisant au rétrécissement progressif voire fermeture des canaux de porosités.

- L'image de gauche (avant oxydation) montre la microstructure squelettique du substrat fritté, composée par une multitude de grains de silicium de formes et de tailles différentes, interconnectés entre eux et formant les canaux de porosités (zones sombres).

- L'image de droite (après oxydation) témoigne du phénomène de croissance de la couche d'oxyde de silicium (SiO_2) dans le volume du fritté, autour des joints de grains de Si conduisant au rétrécissement voire fermeture des canaux de porosité. La couche de SiO_2 apparaît en blanc, et les grains de Si apparaissent en gris foncé.

-

La figure III-16 représente quant à elle des images réalisées en transmission sur la face du même substrat fritté oxydé et à différentes régions. Etant réalisées après un amincissement jusqu'à environ 50µm, cette analyse confirme le phénomène de diffusion de la vapeur d'eau et de la croissance de SiO₂ dans le volume du substrat fritté.

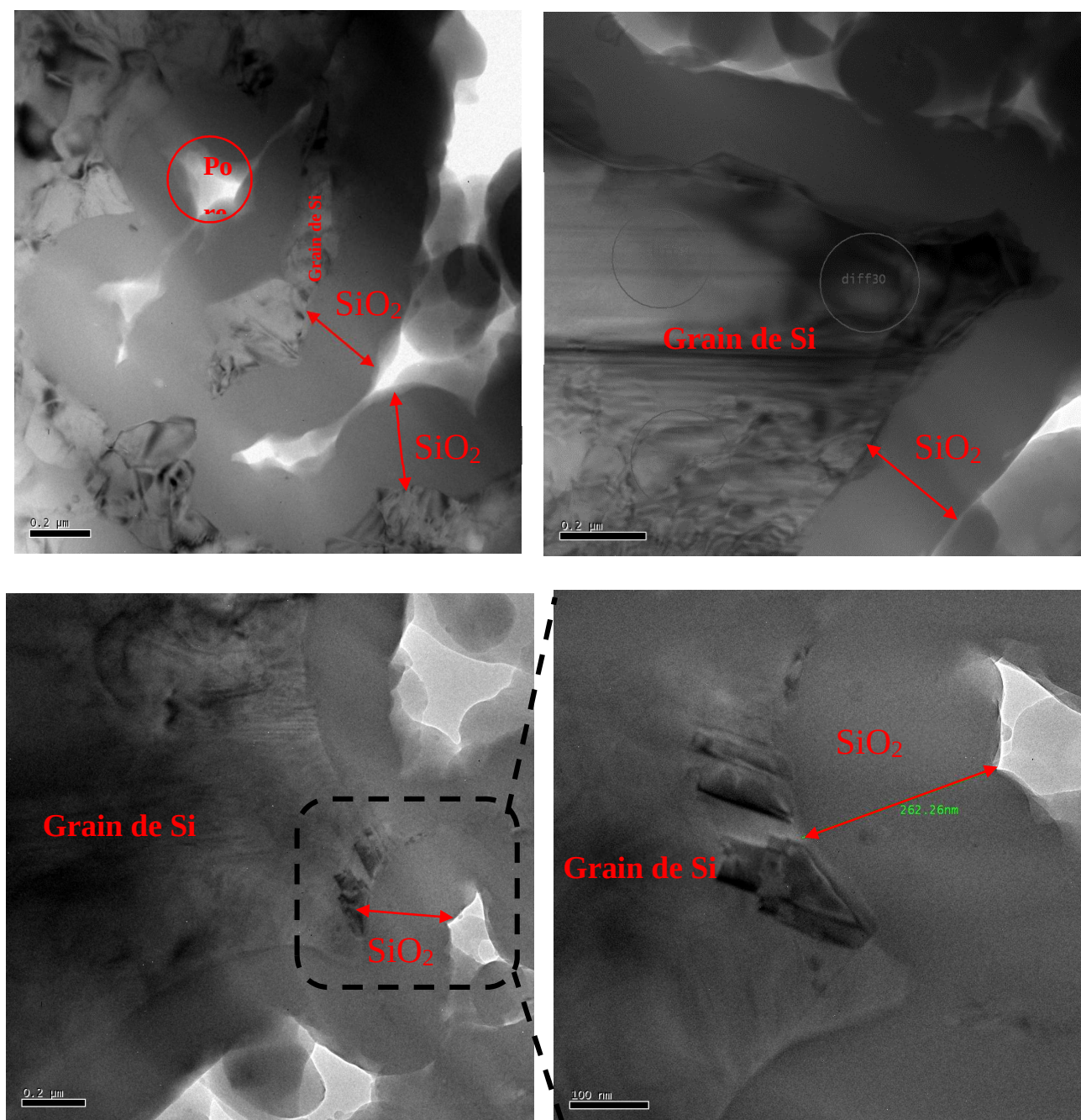


Figure III-16: Images MET réalisées sur la face de l'échantillon (20% de porosité initiale) oxydé pendant 5 heures à 850°C. Mise en évidence de la croissance de la couche de SiO₂ dans le cœur du substrat fritté et autour des grains de silicium.

III.3.3.2 Étude l'influence du temps d'oxydation

Nous avons étudié l'influence de la température sur le processus d'oxydation du substrat de silicium fritté poreux, nous allons nous intéresser à présent à l'effet du temps d'oxydation sur le mécanisme d'oxydation thermique des différents substrats de silicium fritté. De ce fait, une condition isotherme d'oxydation a été fixée à 850°C. Dans cette étude, les échantillons présentant des porosités de 10%, 15% et 20% ont été donc oxydés à différentes durées 3, 5, 7 et 10 heures.

Comme nous l'avons déjà vu avec l'étude de l'influence de la température d'oxydation, la [figure III-17](#) montre que la prise de masse des frittés oxydés augmente aussi progressivement avec le temps d'oxydation, tandis que les porosités baissent simultanément et commencent à se stabiliser vers les temps longs d'oxydation, c'est-à-dire à des temps supérieurs à 5 heures ([figure III-18](#)).

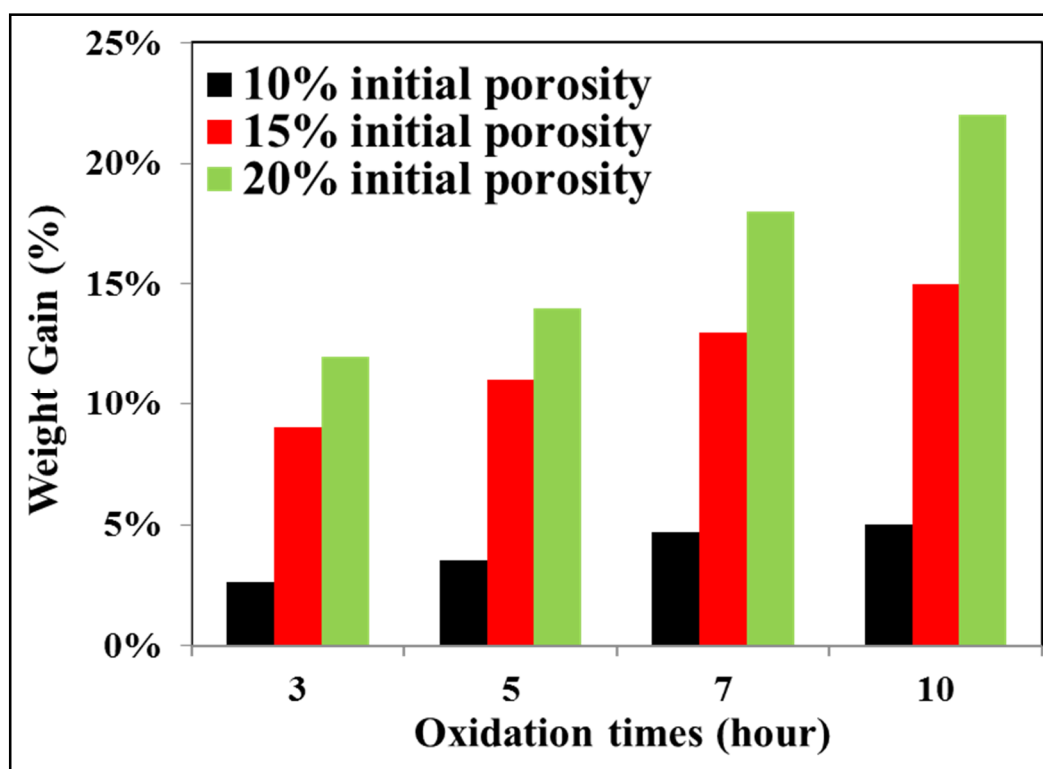


Figure III-17: Évolution de la prise de masse des substrats frittés oxydés en fonction de la température d'oxydation temps d'oxydation

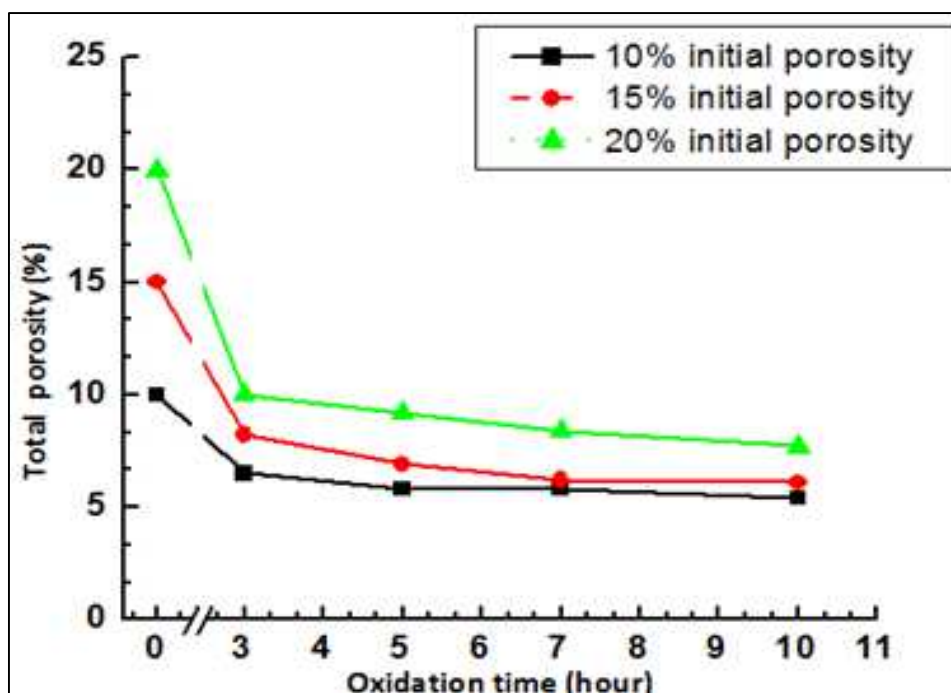


Figure III-18: Évolution de la porosité des substrats frittés en fonction du temps d'oxydation [31].

La figure III-18 indique aussi que la porosité des différents substrats de silicium fritté est réduite de presque 50% par rapport à leurs porosités initiales au bout de 5 heures d'oxydation à 850°C. Le début de stabilisation de la porosité, autrement dit, « l'apparition d'un plateau » vers les temps longs d'oxydation s'explique d'une part par le début de saturation des canaux de porosités par la croissance du SiO₂ thermique ; d'autre part, par le phénomène de ralentissement de la cinétique de croissance de SiO₂ quand la couche d'oxyde s'épaissit. En effet, au début du processus d'oxydation la vapeur d'eau réagit avec le silicium pour former la couche de SiO₂. Ensuite, les molécules de H₂O doivent diffuser à travers la couche de SiO₂ déjà formée pour réagir avec les atomes de silicium qui se situent en dessous de la couche de SiO₂. De ce fait, la vitesse de croissance dépend essentiellement du temps de réaction entre les atomes de Si du substrat fritté et les molécules de H₂O, tandis qu'à une certaine épaisseur d'oxyde de silicium la vitesse d'oxydation est déterminée essentiellement par la vitesse de diffusion de l'agent oxydation à travers la couche de SiO₂ déjà formée. Ainsi, l'augmentation de l'épaisseur de la couche de SiO₂ autour des grains ainsi que dans les canaux de porosité du substrat de silicium fritté s'accompagne par un ralentissement de la vitesse d'oxydation.

Nous avons comparé la chute de porosité des substrats frittés en fonction du temps d'oxydation avec leurs surfaces spécifiques **BET** (théorie de **Brunauer, Emmett et Teller**), présentée en

annexes. Pour cela des mesures de surfaces spécifiques BET ont été réalisées sur l'échantillon présentant une porosité initiale de 10% et oxydé à 850°C pendant (2, 4 et 5 heures).

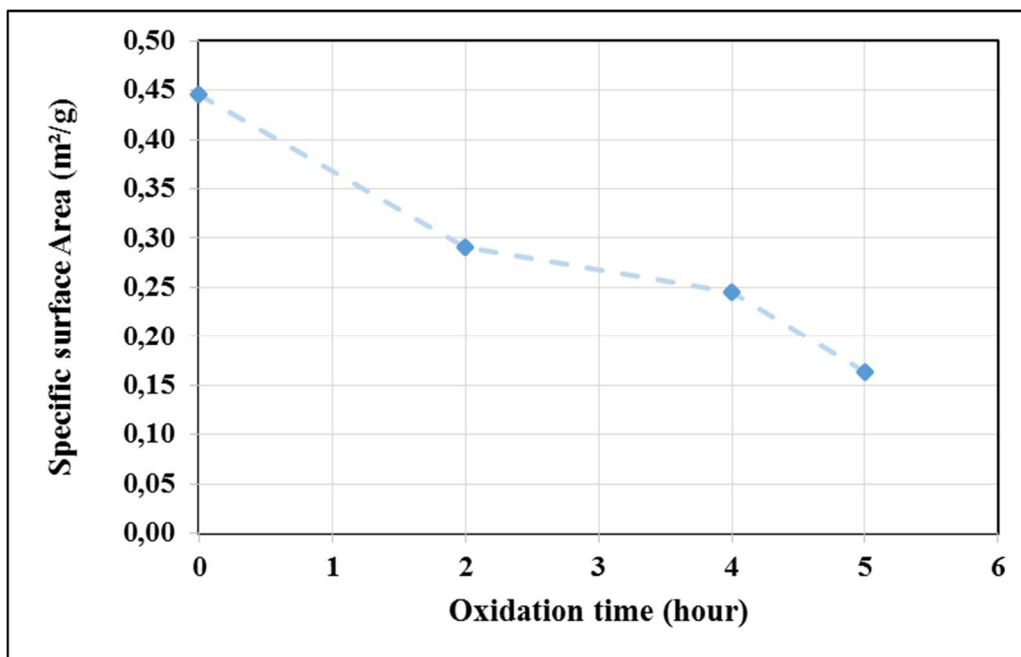


Figure III-19: Évolution de la surface spécifique BET en fonction du temps d'oxydation

Les résultats BET (Figure III-19) sont en parfaite adéquation avec la chute de porosité en fonction du temps d'oxydation (figure III-18). Ainsi, dans la gamme de temps étudiée, plus on augmente le temps d'oxydation, plus la surface spécifique du fritté diminue. Ceci se traduit tout simplement par la saturation des canaux de porosité. Les mesures de surface spécifiques BET n'ont malheureusement pas été réalisées sur des temps plus long (7 et 10 heures) afin d'approfondir cet aspect.

Calcul de la prise de masse du substrat de Si monocristallin de référence

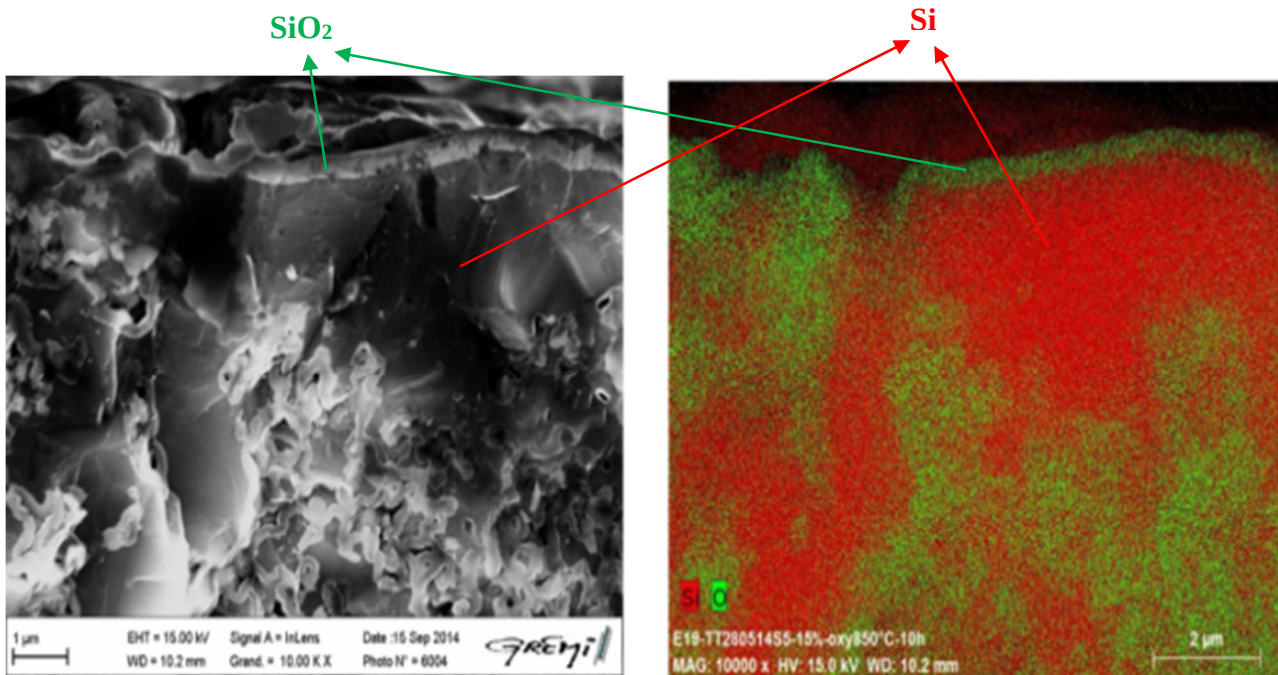
La prise de masse du substrat de Si monocristallin Cz (100) de référence est trop faible pour être mesurée à l'aide de la balance de précision 4n utilisée pour les mesures de prises de masses des substrats frittés. Cependant, en guise de comparaison, nous avons calculé la prise de masse du substrat de Si monocristallin, d'une part, en admettant l'hypothèse que l'épaisseur du silicium consommée pendant le processus d'oxydation représente 0,46 fois l'épaisseur de l'oxyde de silicium formée ($e_{Si} = 0,46 e_{SiO_2}$), et d'autre part, en tenant compte de l'épaisseur du SiO_2 formée sur le substrat mono-Cz. L'épaisseur du SiO_2 a été mesurée à l'aide d'un ellipsomètre SUNTECH mono-longueur d'onde (632,8 nm), avec un angle d'incidence fixé à 70°. Ainsi, une épaisseur de SiO_2 de 109 nm a été mesurée sur le substrat monocristallin après

une oxydation à 850°C-3 heures. Ceci implique que l'épaisseur de Si consommée correspond approximativement à ($e_{Si} = 0,46 \times 10^{-4} \text{ cm} \Rightarrow e_{Si} = 0,05 \times 10^{-4} \text{ cm}$). Ainsi, à partir de ces données, nous obtenons une prise de masse de seulement 0,02%, tandis que les échantillons présentant une porosité initiale de 10% et 15% enregistrent des prises de masse respectives de 2,6% et de 13% après 3 heures d'oxydation à 850°C. L'oxydation thermique du substrat monocristallin (100) de référence est complètement localisée en surface : par diffusion de H_2O dans l'oxyde déjà formé jusqu'à l'interface SiO_2/Si où se produit la réaction chimique. En revanche, l'oxydation du substrat de silicium fritté poreux est principalement contrôlée par la réaction de surface gouvernée par le mécanisme de diffusion préférentielle dans les canaux de porosités mais aussi par l'oxydation en surface des grains.

La [figure III-20](#) montre une cartographie EDX (Energy Dispersive X-ray Spectrometry) réalisée en coupe de l'échantillon (15% de porosité initiale) oxydé pendant 5h à 850°C. Sur cette présente cartographie EDX, l'oxyde est représenté en vert, tandis que les grains de Si sont représentés en rouge. Cette figure permet de mettre en évidence la croissance de l'oxyde sur la surface de l'échantillon ([figure III-20 \(A\)](#)), mais aussi dans le volume du fritté ([figure III-20 \(B\)](#)).

Des zones complètement oxydées « full oxidized zones » ont été observées dans le volume du fritté oxydé, ces zones correspondent essentiellement aux zones d'agglomération de grains fins survenus pendant le processus de frittage.

(A) : surface de l'échantillon



(B) : Volume de l'échantillon

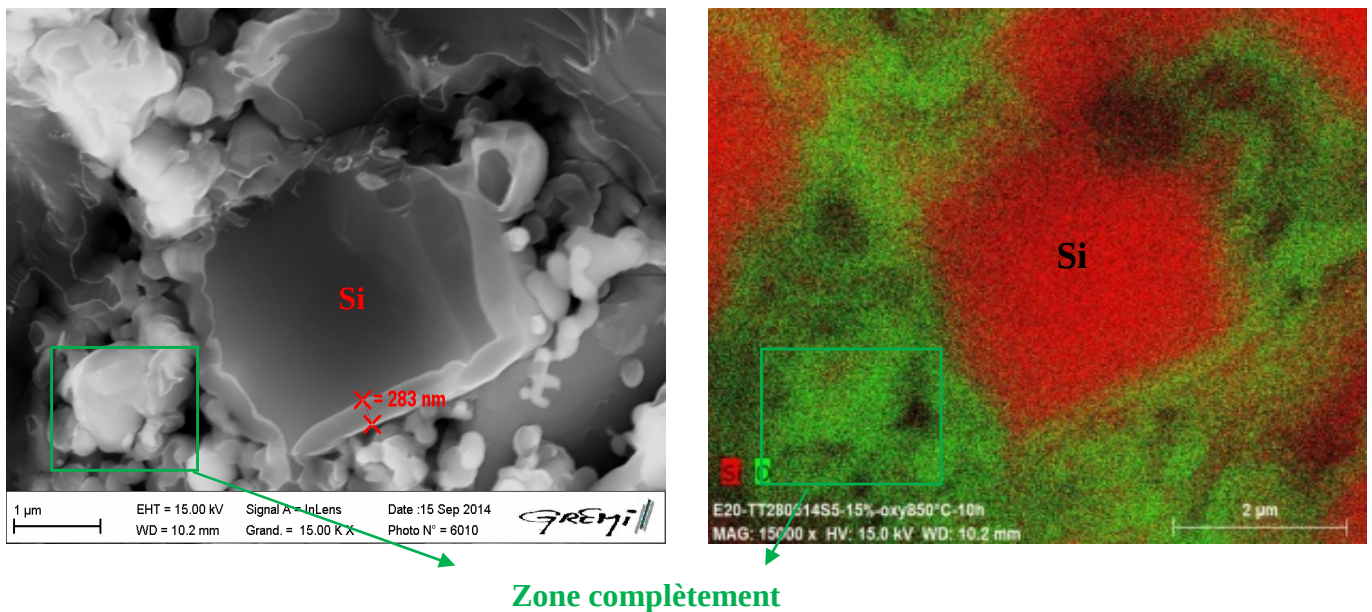


Figure III-20: Cartographies MEB/EDX (Energy Dispersive X-ray Spectrometry) réalisées sur la section de l'échantillon fritté (P15%-oxydé 850°C-5h) montrant la croissance de SiO₂ en surface de l'échantillon (A) et dans le volume (B).

III.3.3.3 Caractérisation électriques des substrats frittés oxydés

Les mécanismes d'oxydation du substrat de silicium fritté poreux ont été étudiés, nous allons maintenant investiguer le caractère isolant de celui-ci. Pour cela des mesures de

résistivités électriques des substrats frittés oxydés ont été réalisées par la technique de 8 pointes (2 fois 4 pointes en transverse). Ainsi, des résistivités électriques supérieures à $5.10^3 \Omega.cm$ sont obtenues pour des temps d'oxydation supérieures à 5 heures. Ces valeurs de résistivités sont satisfaisantes pour une bonne isolation entre les caissons conducteurs et d'éviter ainsi les fuites de courant et par conséquent les court-circuit entre les sous-cellules au sein de l'i-Cell.

Cependant, les substrats frittés dotés de porosités initiales supérieures à 10% présentent d'importantes déformations après le processus d'oxydation thermique. D'après la littérature, ces déformations sont dues essentiellement à des contraintes d'origines thermoélastiques induites dans l'oxyde pendant le processus d'oxydation. Par ailleurs, ces contraintes sont d'autant plus importantes lorsque la porosité initiale du substrat de silicium fritté est importante. Comme nous avons évoqué précédemment, plus le substrat fritté est poreux, plus le processus d'oxydation y est accéléré, par conséquent la déformation du substrat y est plus importante. Ceci dit, seuls les substrats frittés présentant des porosités initiales de 10 % gardent une planéité acceptable pour la réalisation des caissons.

III.3.3.4 Réalisation de caissons conducteurs sur substrat frittés oxydés

Des caissons conducteurs ont été réalisés sur les frittés oxydés présentant une porosité initiale de 10% en y imprimant des motifs de pâte métallique par sérigraphie. Les frittés ont été ensuite portés à un recuit thermique rapide dit de « firing ». La zone de recuit est réglée à 820°C. Le processus de « recuit de firing » sera présenté dans la [section IV-3.3](#) de ce manuscrit. Pendant le recuit, le métal fondu traverse localement la couche d'oxyde pour former le caisson conducteur.

La résistivité des caissons conducteurs ainsi formés est mesurée par la technique 4 pointes. Des caissons conducteurs formés d'alliage Al-Si d'une dizaine de microns d'épaisseur ont été obtenus, avec des valeurs de résistivités ρ de l'ordre de $10^{-5} \Omega.cm$. Cependant la résistance électrique mesurée au multimètre entre deux caissons conducteurs donne de faibles valeurs, proches de la valeur initiale du fritté avant oxydation. Ceci indique qu'un chemin de conduction de courant s'est établi après le « recuit de firing » pour la réalisation des caissons.

La [figure III-20](#) montre une représentation schématique du fritté (10%) après oxydation thermique (figure de gauche) et après recuit d'inclusion des atomes de pâte métallique fondue pour la formation des caissons (figure de droite). En effet, le mélange de poudres utilisé est constitué essentiellement de grains de grande tailles ([tableaux III-2 & III-3](#)), le fritté obtenu est par conséquent formé d'une multitude de gros grains de Si soudés entre eux. Par ailleurs, pendant l'oxydation, il y a croissance du SiO_2 en surface et dans le volume du fritté, autour des grains de Si. L'épaisseur du SiO_2 formée en surface du substrat fritté est de l'ordre de quelques centaines de nanomètres, celle-ci est donc complètement consommée (réduite par le métal) pendant le recuit de firing et par conséquent il s'établit un chemin de conduction de courant entre les caissons via une conduction intra-grains de Si. Par ailleurs, la poudre de qualité

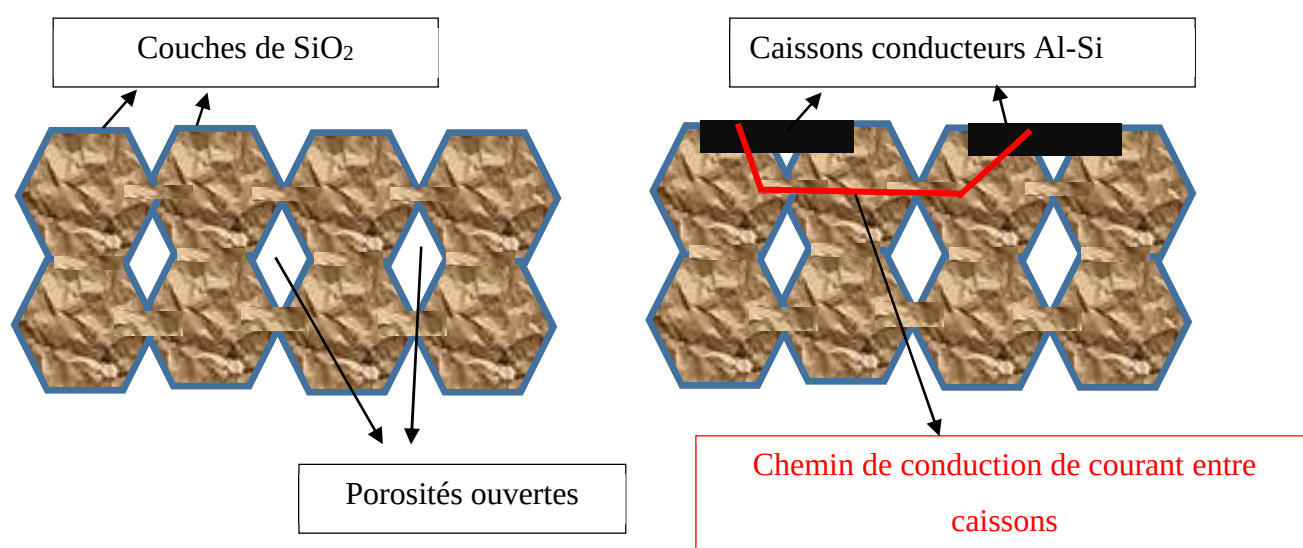


Figure III-20: Représentation schématique (sur la section) de la structure de fritté oxydé de faible porosité initiale (gauche); Établissement d'un chemin de conduction (courant de fuite) après recuit d'intégration des caissons (droite)

métallurgique contient un taux important d'impuretés métalliques et de dopant, elle est intrinsèquement plus conductrice que la poudre de qualité solaire. Ainsi, l'utilisation de ce substrat « fritté intégré » pour la réalisation de la cellule intégrée engendrerait des courts-circuits importants entre sous-cellules dus à la faible résistance électrique entre les caissons conducteurs.

Néanmoins, d'autres études ont été menées afin de trouver des solutions alternatives de réalisation de substrats frittés intégrés à coûts réduits, moyennant l'utilisation de poudres de qualité métallurgique. Nous verrons dans le paragraphe suivant quelques-unes de ces études.

III.3.3.5 Perspectives de réalisation de substrats frittés isolants et bas coût :

Dans la politique de réduction de coûts menée par S'Tile, d'autres axes de recherches ont cependant explorés afin de réduire le coût de fabrication de son substrat destiné à la réalisation de la cellule intégrée, notamment, par la réduction de la consommation de poudres de qualité solaire pour la réalisation du substrat fritté, ou par le frittage d'autres composés encore moins chers que la poudre de silicium. Nous présenterons ici quelques-uns de ces axes :

- La réalisation des frittages bicouches, c'est-à-dire en combinant les deux qualités de poudres utilisées au cours de cette thèse.
- L'oxydation préalable des poudres de Si avant frittage

Ces deux voies de recherches seront présentées par la suite.

III-3.3.5.1. Le frittage de silicium en bicouches

Au cours de cette thèse, deux structures de frittés bicouches ont été étudiées notamment, en empilant des lits de poudres de compositions et de qualités différentes. Le but de cette étude est de pouvoir réaliser le caisson conducteur sur la couche supérieure du fritté composée de poudres de qualité solaire, contenant une teneur minimale en impuretés métalliques et de dopant. Une représentation schématique de ces structures est illustrée sur la figure III-21. Les caractéristiques des différentes poudres utilisées au cours de cette thèse ont été données dans le tableau III-3 (section III.3.1).

Les compositions des structures sont les suivantes :

➤ **Structure 1** : Empilement d'une couche composée de poudres fines de grade solaire (7N), d'une couche composée d'un mélange de 80% massique de poudre Wacker broyée 2h de grade métallurgique broyée (3-4N) et de 20% de poudre de grade solaire.

➤ **Structure 2** : Empilement d'une couche de poudre fine de grade solaire et d'une couche de poudre Wacker broyée 2h.

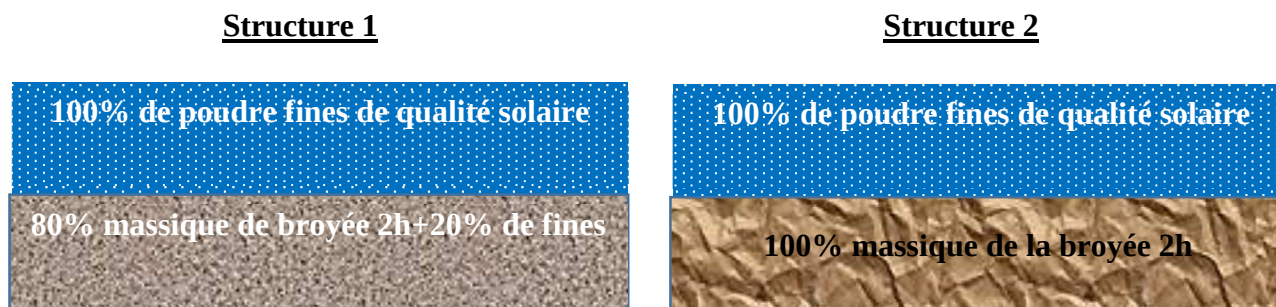


Figure III-21: Structure des frittés bicouches réalisés

Les procédures d'étalement des lits de poudre et de frittage sont les mêmes que décrits précédemment (section III.3.1.1). Mis à part des températures de frittages, les conditions et paramètres de frittage sont aussi identiques.

Cependant les deux structures ont été frittées à 1250°C, 1320°C, 1370°C et 1385°C. La figure III-22 montre une image de la structure observée au microscope optique après frittage. Nous observons une délimitation entre les deux catégories de poudres.

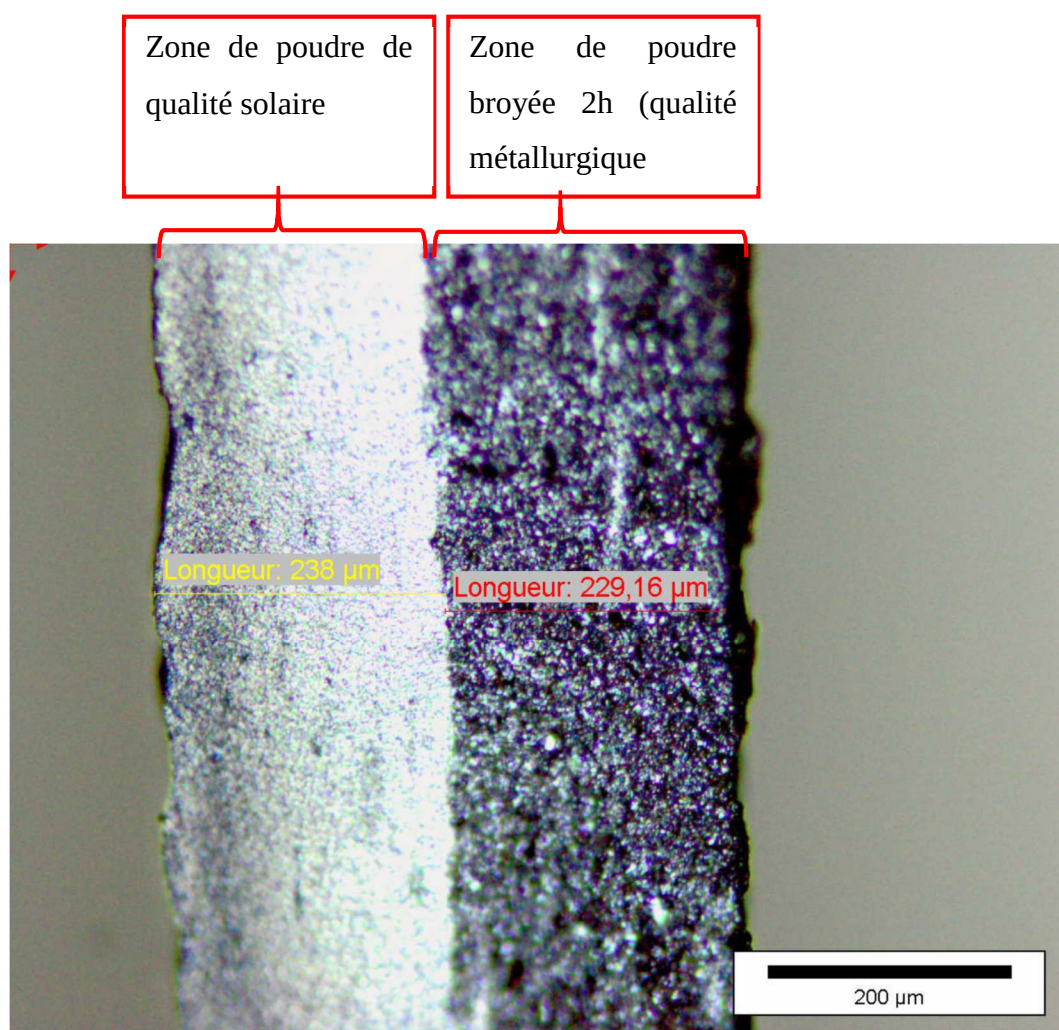


Figure III-22 : Image réalisée par microscopie optique de la structure 2 après frittage bicouches

III-3.3.5.1.1. Caractérisation des frittés bicouches

Des mesures de porosités et de résistivités électriques des frittés bicouches ont été réalisées respectivement par la technique d'Archimède et en 8 pointes. La figure III-23 montre l'influence de la température de frittage sur la porosité du substrat fritté bicouche. L'influence

de la température de frittage sur la résistivité électrique est quant à elle donnée sur la [figure III-24](#).

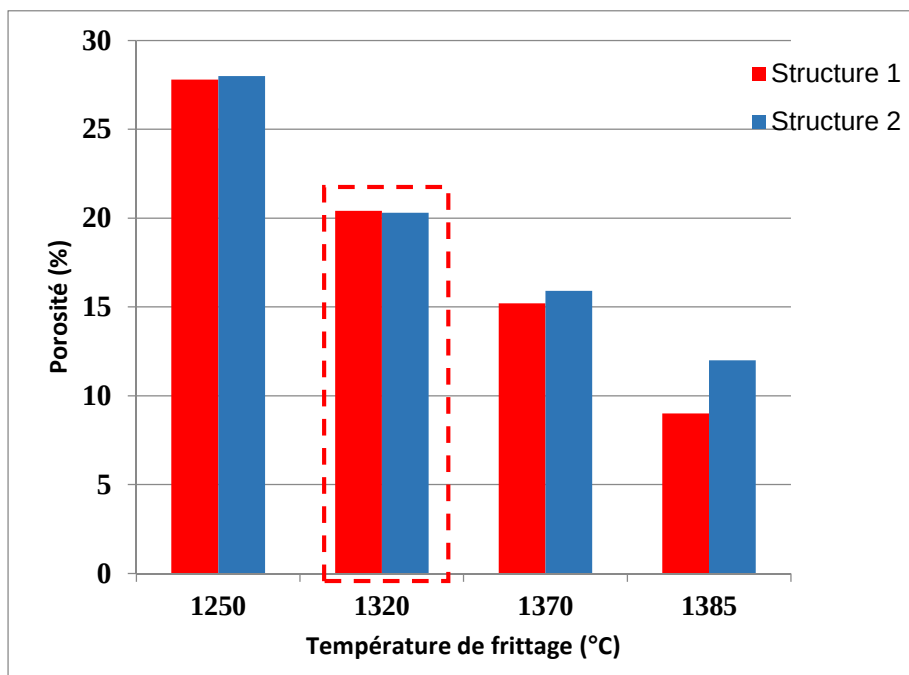


Figure III-23 : Évolution de la porosité des frittés bicouches mesurée par la technique d'Archimède en fonction de la température de frittage

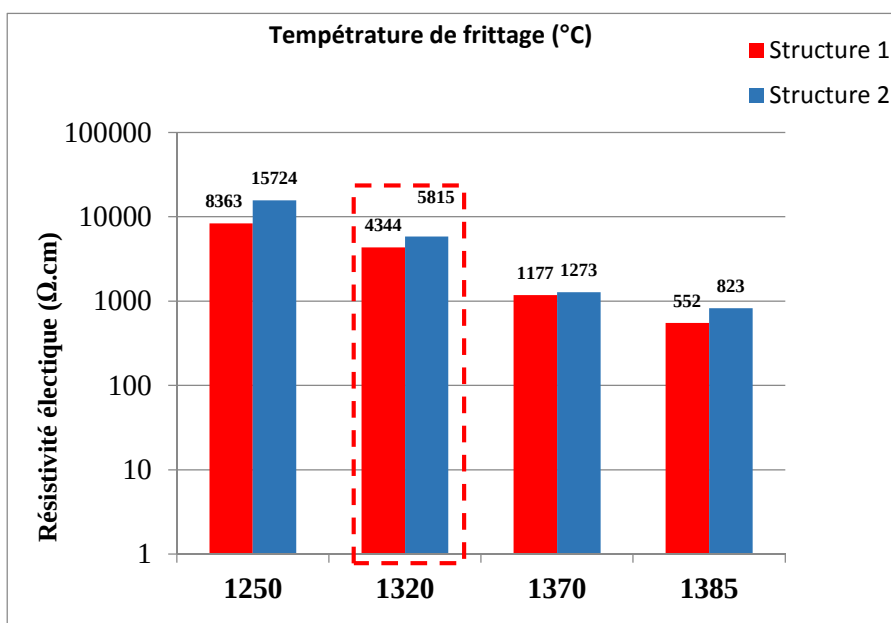


Figure III-24 : Évolution de la résistivité électrique des frittés bicouches en fonction de la température de frittage.

Comparé à la composition de poudres qui a été utilisée pour l'étude des mécanismes d'oxydation, c'est-à-dire un mélange de 80 % massique de poudre de qualité métallurgique et de 20% massique de poudres fines de qualité solaire, le frittage en bicouches présente des niveaux de résistivités allant de $4 \times 10^3 \Omega \cdot \text{cm}$ à plus de $15 \times 10^3 \Omega \cdot \text{cm}$ avec des porosités de l'ordre

de 20 à 30 %. Ainsi, le niveau de porosités et de résistivités obtenus avec ces structures à des températures comprises entre 1250 et 1320°C sont très satisfaisants en termes de propriétés électriques pour une bonne isolation entre les caissons conducteurs, ce qui constitue un paramètre essentiel pour le bon fonctionnement de la cellule intégrée. De même, les niveaux de porosités obtenus (20-28 %) facilitent la perméation et la diffusion du métal fondu dans le fritté pendant le processus d'intégration des caissons par impression de motifs d'aluminium suivie d'un recuit rapide de type « firing ». Les résultats obtenus en réalisant des frittés bicouches étant très prometteurs, la quantité de poudres de qualité solaire a été réduite de moitié.

Cependant, il est encore possible de diviser la quantité de poudre de qualité solaire par 4, car l'épaisseur du caisson conducteur est de seulement 25-35 μm environ.

III-3.3.5.2. L'oxydation préalable des poudres de silicium avant frittage

Nous avons vu précédemment qu'après intégration des caissons conducteurs sur un substrat de silicium fritté oxydé, autrement dit après réduction de la couche d'oxyde en surface par le métal, un chemin de conduction pourrait se créer entre les grains interconnectés (figure III-20). Cependant, le fait d'oxyder les poudres de silicium broyées 2h avant le frittage permet de créer une phase isolante par la croissance d'une couche de SiO_2 thermique sur chaque grain individuel, ce qui devrait permettre de couper tout chemin de conduction électrique entre grains de Si après frittage.

III-3.3.5.2.1. Protocole d'oxydation de la poudre

La poudre Wacker broyée 2 heures est placée dans un creuset en quartz. Des pesées successives de ce creuset ont été réalisées avant et après oxydation afin déterminer la prise de masse à la fin de l'oxydation. Le creuset est placé dans une nacelle, également en quartz. L'oxydation thermique par voie humide de cette poudre a été faite dans les mêmes conditions que pour les substrats frittés.

Dans cette étude la température d'oxydation a été fixée à 1000°C. Ainsi, quatre oxydations ont été effectuées à cette température pendant 1h, 2 h, 3 h et 7 h afin d'étudier l'influence de la quantité d'oxyde sur la résistivité.

III-3.3.5.2.2. Résultats expérimentaux

La prise de masse en fonction du temps d'oxydation des poudres est relevée ci-dessous (Figure 25):

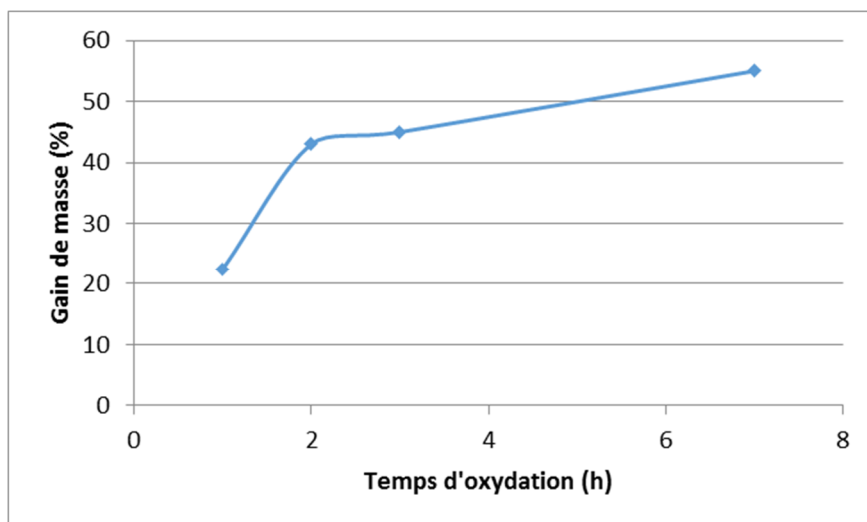


Figure III-25 : Gain de masse de la poudre oxydée en fonction du temps d'oxydation à 1 000°C

On constate, une forte augmentation du gain de masse pour des temps d'oxydation de zéro à trois heures. Au-delà de ce temps, l'évolution de la prise de masse est ralentie, faisant apparaître un palier d'oxydation. L'oxydation thermique de la poudre de Si s'accompagne d'un changement de couleur, qui passe du noir au gris, ce qui confirme la formation d'une couche de SiO_2 sur le silicium existant, la poudre de SiO_2 étant intrinsèquement de couleur blanche (Figure III-26).



Figure III-26 : photographie illustrant le changement de couleur obtenu après oxydation.

Les résultats de résistivités électriques des substrats frittés (15% de porosité) issus de l'oxydation préalable de poudres de silicium sont donnés sur la figure III-27.

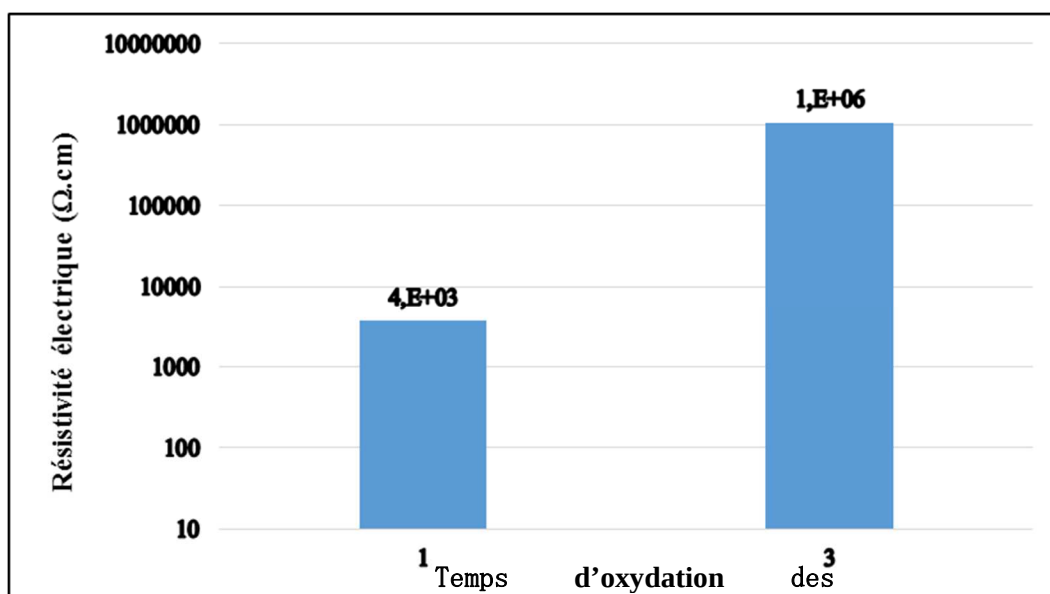


Figure III-27: Évolution de la résistivité électrique du fritté en fonction du temps d'oxydation de la poudre

Les résultats de résistivité obtenus sont également convaincants, la résistivité de la poudre oxydée une heure à 1000 °C puis frittée est de 3660 Ω.cm, tandis que la poudre oxydée trois heures donne une résistivité de l'ordre de 10^6 Ω.cm après frittage. Constatant que l'oxydation 3 h à 1000 °C était suffisante pour obtenir la résistivité souhaitée, le frittage de la poudre oxydée 7 h n'a pas été effectué. L'oxydation de chaque grain de poudre permet donc bien de couper les chemins de conduction entre les grains de silicium.

III.4. Conclusion du chapitre III

Ce chapitre a été consacré à la réalisation de substrats frittés bas-coût et isolant électriquement en vue de l'utiliser comme support mécanique, mais aussi d'électrode arrière de la cellule intégrée, après y avoir intégré des caissons conducteurs.

L'aspect théorique de l'oxydation thermique du silicium a été exposé, notamment le modèle de Deal et Grove, considéré comme le modèle de référence dans ce domaine. Après avoir présenté le protocole expérimental de préparation des poudres utilisées dans le cadre de ces travaux, nous avons réalisé des substrats de silicium fritté de différentes porosités. Par la suite, une étude sur les mécanismes d'oxydation thermique par voie humide du substrat fritté a été réalisée. Nous avons particulièrement insisté sur les paramètres gouvernant la vitesse

d'oxydation du substrat fritté, tels que la porosité initiale du substrat, la température et le temps d'oxydation. L'influence de chacun de ces paramètres a été présentée et discutée. Il a été montré que la cinétique d'oxydation du substrat de silicium est fortement influencée par la porosité initiale de celui-ci, ce que nous avons comparé à la surface spécifique. Plus le substrat fritté est poreux, plus la surface de silicium disponible pour la réaction chimique d'oxydation, c'est-à-dire une surface spécifique importante, et par conséquent la cinétique d'oxydation y est accélérée. Il a été constaté un phénomène de chute de porosité en fonction des paramètres d'oxydation, ce que nous avons expliqué et montré, avec des observations MEB et TEM, par le phénomène de croissance de la couche d'oxyde autour des grains de Si et dans les canaux de porosité conduisant au rétrécissement progressif de ces derniers.

Par ailleurs, pendant le processus d'intégration des caissons sur substrat fritté oxydé, nous avons constaté une chute brutale de la résistance entre les caissons. Ceci explique que les grains de silicium ne sont pas totalement isolés les uns des autres par le SiO_2 afin de créer une barrière de passage de courant entre les caissons conducteurs. Cependant, d'autres voies de recherches ont été menées afin de pallier ce problème, tout en gardant le coût de production du substrat le plus bas possible. Ceci passe notamment par la réalisation de frittages en bicouches, où l'utilisation de la poudre de qualité est fortement réduite, ou encore en oxydant les poudres avant le frittage. Ces deux axes de recherches ont donné des résultats encourageants pour la production de substrats frittés poreux, isolant et à bas coût.

Bibliographie du chapitre III

- [1] Y. Boye, G. Sun, F. Chancerel, A. Sow, J.-B. Brette, A. Malinge, et al., Realization of Conductive Wells for Rear Side Electrical Contact of Integrated Solar Cell, *Energy Procedia*. 77 (2015) 440–445.
- [2] F. Chancerel, Y. Boye, G. Sun, A. Sow, J.-B. Brette, B. Sionneau, et al., Integrated Solar Cell Based on Monocrystalline Si Thin Film Transferred to Low Cost Sintered Si Wafers, (2014).
- [3] A. Hemeryck, Modélisation à l'échelle atomique des premiers stades de l'oxydation du silicium: théorie de la Fonctionnelle de la Densité et Monte Carlo cinétique, Thèse de doctorat, l'Université Toulouse III – Paul Sabatier, 2008.
- [4] F. Lévy, Physique et technologie des semiconducteurs, PPUR presses polytechniques, 1995.
- [5] B.E. Deal, A.S. Grove, General Relationship for the Thermal Oxidation of Silicon, *J. Appl. Phys.* 36 (1965) 3770.
- [6] J. Blanc, A revised model for the oxidation of Si by oxygen, *Appl. Phys. Lett.* 33 (1978) 424–426.
- [7] F. Rochet, B. Agius, S. Rigo, An ^{18}O Study of the Oxidation Mechanism of Silicon in Dry Oxygen, *J. Electrochem. Soc.* 131 (1984) 914–923.
- [8] S. Rigo, F. Rochet, A. Straboni, B. Agius, An ^{18}O study of the oxygen exchange in silicon oxide films during thermal treatment in water vapor, in: *Phys. MOS Insul.*, Elsevier, 1980: pp. 167–171.
- [9] R. Pfeffer, M. Ohring, Tracer measurements of network oxygen exchange during water diffusion in SiO_2 films, in: G.L.T.P.L. Galeener (Ed.), *Phys. MOS Insul.*, Pergamon, 1980: pp. 162–166.
- [10] A. Bongiorno, Simulation of atomistic processes during silicon oxidation, Thèse de doctorat, École polytechnique fédérale de Lausanne, 2003.
- [11] R. Herino, A. Perio, K. Barla, G. Bomchil, Microstructure of Porous silicon and its evolution with temperature, *Mater. Lett.* 2 (1984) 519–523.

- [12] A. Uhler, Electrolytic Shaping of Germanium and Silicon, *Bell Syst. Tech. J.* 35 (1956) 333–347.
- [13] C.S. Fuller, J.A. Ditzenberger, Diffusion of Donor and Acceptor Elements in Silicon, *J. Appl. Phys.* 27 (1956) 544–553.
- [14] D.R. Turner, Electropolishing Silicon in Hydrofluoric Acid Solutions, *J. Electrochem. Soc.* 105 (1958) 402–408.
- [15] R.J. Archer, Stain films on silicon, *J. Phys. Chem. Solids.* 14 (1960) 104–110.
- [16] A.G. Cullis, L.T. Canham, P.D.J. Calcott, The structural and luminescence properties of porous silicon, *J. Appl. Phys.* 82 (1997) 909–965.
- [17] Y. Watanabe, T. Sakai, Application of a thick anode film to semiconductor devices, *Rev Electron Commun Labs.* 19 (1971).
- [18] Y. Watanabe, Y. Arita, T. Yokoyama, Y. Igarashi, Formation and Properties of Porous Silicon and Its Application, *J. Electrochem. Soc.* 122 (1975) 1351–1355.
- [19] L. Remache, Silicium poreux passivé par des nitrures et des oxydes de silicium. Application aux revêtements antiréfléchissants, Thèse de doctorat, Université Mentouri – Constantine (Algérie), 2011.
- [20] L.T. Canham, Silicon quantum wire array fabrication by electrochemical and chemical dissolution of wafers, *Appl. Phys. Lett.* 57 (1990) 1046.
- [21] A. Straboni, Electronic structure including an epitaxial layer on sintered silicon, WO/2010/112782, 2010.
- [22] R. Brendel, K. Feldrapp, R. Horbelt, R. Auer, 15.4%-efficient and 25 μm -thin crystalline Si solar cell from layer transfer using porous silicon, *Phys. Status Solidi A.* 197 (2003) 497–501.
- [23] R. Brendel, Thin-film crystalline silicon mini-modules using porous Si for layer transfer, *Sol. Energy.* 77 (2004) 969–982.

- [24] R.B. Bergmann, T.J. Rinke, R.M. Hausner, M. Grauvogl, M. Vetter, J.H. Werner, Thin film solar cells on glass by transfer of monocrystalline Si films, *Int. J. Photoenergy*. 1 (1999) 89–93.
- [25] M. Grau, Réalisation de nouvelles structures de cellules solaires photovoltaïques à partir de couches minces de silicium cristallin sur substrat de silicium préparé par frittage de poudres, Thèse de doctorat, INSA de Lyon, 2012.
- [26] E.X. Pérez, Design, fabrication and characterization of porous silicon multilayer optical devices, Thèse de doctorat, Universitat Rovira i Virgili, 2007.
- [27] J.J. Yon, K. Barla, R. Herino, G. Bomchil, The kinetics and mechanism of oxide layer formation from porous silicon formed on p-Si substrates, *J. Appl. Phys.* 62 (1987) 1042–1048.
- [28] P.K. Hurley, C.J. Kiely, S. Hall, L.G. Earwaker, M.C. Briggs, J.M. Keen, Partial oxidation of porous silicon, *Semicond. Sci. Technol.* 8 (1993) 2168–2175.
- [29] G. Barbottin, A. Vapaille, eds., *Instabilities in silicon devices. Vol. 3: New insulators, devices and radiation effects*, 1. ed, North-Holland, Amsterdam, 1999.
- [30] M. Lemiti, S. Audisio, C. Mai, B. Balland, Evolution de la taille des grains du silicium polycristallin pendant des traitements thermiques ou oxydation, *Rev. Phys. Appliquée*. 24 (1989) 133–141.
- [31] Y. Boye, G. Sun, F. Chancerel, A. Sow, J.-B Brette, A. Petit., et al., Oxidation of Pressed Sintered Silicon Substrate for Integrated Solar Cell, 29th Eur. Photovolt. Sol. Energy Conf. Exhib. (2014) 706–709.

Chapitre IV : Le procédé de réalisation de la cellule intégrée (i-Cell)

IV.1 Introduction

Le concept du wafer Mono-EQ® repose sur une technologie « kerfless » qui consiste à transférer une fine feuille de silicium monocristallin très pure, de quelques dizaines de microns d'épaisseur sur le substrat de silicium fritté [1]. Il est obtenu soit par transfert de couche de silicium épitaxié sur le substrat en silicium fritté ou en rapportant des feuilles minces de Si monocristallin sur celui-ci. Les feuilles minces de Si mono sont issues de sciages fins de lingots.

Le wafer Mono-EQ® combine les avantages d'utiliser des épaisseurs minces de silicium monocristallin, dotées d'excellentes propriétés électroniques, et du substrat en silicium fritté bas coût. En effet, cette technologie « kerfless » de production de wafer permet de s'affranchir du tirage de lingots et de leurs sciages en wafers, qui représentent des étapes très énergivores et très coûteuses dans le procédé standard. De plus, elle permet une réduction considérable de pertes de matières pendant l'étape de sciage de lingots, de la consommation d'énergie, et de l'émission de CO₂ [2].

Les cellules solaires intégrées ou (« i-Cells » pour integrated Cells) reposent également sur une technologie kerfless et présente les avantages suivants :

- Elle permet de réduire le courant électrique dans le module, ce qui réduit les pertes de rendement des cellules après leur intégration en module.
- Elle permet de fournir des tensions et courants de sortie modulables en fonction de l'application visée.

Le concept i-Cell consiste à connecter en série plusieurs cellules élémentaires fabriquées à partir de feuilles minces de silicium monocristallin, et transférées sur un « substrat intégré » de silicium fritté [20]. Le substrat fritté intégré comporte des zones de conduction locales ou « caissons conducteurs », sur le substrat isolant de silicium fritté. Les caissons conducteurs assurent le contact électrique en face arrière des sous cellules.

En plus des avantages de coût qu'offre le wafer Mono-EQ®, la technologie i-Cell permet, grâce à la réduction de courant, de réaliser une économie considérable des matériaux précieux (comme l'argent et le cuivre) utilisés pour les interconnexions. L'i-Cell permet également de diminuer les pertes énergétiques au sein du module en diminuant l'intensité du courant crée.

Nous présenterons dans ce chapitre les procédés de fabrication de la cellule S'Tile à partir du wafer Mono-EQ, et ceux utilisés pour réaliser la cellule intégrée. Le développement de la cellule

intégrée représente le principal objectif de ces travaux de thèse. Les résultats des prototypes i-Cells seront présentés.

IV.2. La réalisation du wafer Mono-EQ® (Mono-Équivalent)

Nous avons vu dans la [section II.3.3](#), que dans les précédentes technologies S'Tile de réalisation de cellules incluant une étape de recristallisation, le frittage est réalisé à des températures très élevées ; engendrant des densités du substrat fritté avoisinant les 100%. En revanche, dans la technologie Mono-EQ® les substrats de silicium frittés utilisés sont préparés afin de présenter des densités comprises entre 75 % et 85 %. Ce niveau de densités des frittés constitue une réduction considérable du budget thermique, et allonge la durée de vie des équipements de frittage. La couche de Si monocristallin peut être obtenue par deux techniques différentes, soit par transfert de couches de Si obtenues par épitaxie CVD, ou par transfert de couches minces de Si obtenues par sciage à fils diamantés. Nous ne présenterons dans cette partie que les résultats de cellules réalisées sur le wafer Mono-EQ® où la couche mince de Si est obtenue par épitaxie en phase vapeur

IV.2.1. Le procédé de fabrication du wafer Mono-EQ®

Dans une première variante de fabrication de wafer Mono-EQ®, la couche mince de silicium est obtenue par épitaxie en phase vapeur (CVD) sur un substrat de Si monocristallin préalablement porosifié par électrochimie et restructuré par traitement thermique. L'étape de porosification électrochimique permet de créer une zone de fragilisation afin de faciliter le détachement de la couche épitaxiée. L'étape de restructuration par traitement thermique est faite juste avant l'épitaxie des différentes couches. Elle permet de fermer la surface des pores au-dessous de la couche de fragilisation avant la croissance de la future couche à détacher. La [figure IV-1](#) représente une description schématique des étapes de fabrication du wafer Mono-EQ® par transfert de la couche épitaxiée sur le substrat fritté.

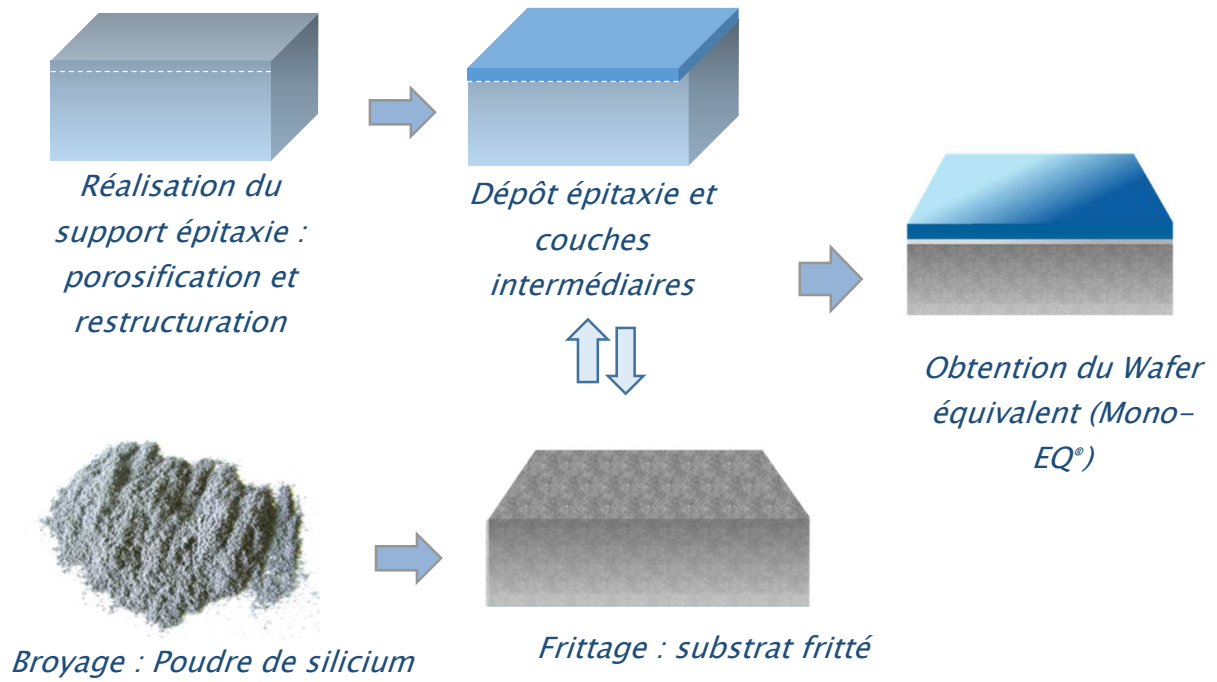


Figure IV-1 : Technique de réalisation du wafer Mono-EQ® par transfert de couche mince de silicium monocristallin obtenue par épitaxie CVD. (Source : documents S'Tile).

La deuxième variante de réalisation du wafer Mono-EQ® est beaucoup plus simple que la première (feuille mince de Si épitaxié). En effet, la deuxième méthode permet de réduire considérablement les étapes de fabrication du wafer Mono-EQ® et par le conséquent le coût. Elle consiste à transférer de fines tranches de silicium monocristallin obtenues par la technique de sciage à fils diamantés d'un lingot de silicium monocristallin. La technique de sciage à fils diamantés a le même principe de fonctionnement et utilise les mêmes équipements que le sciage à fils, présenté dans la [section I.2.4.3](#) du premier chapitre. L'abrasion mécanique dans le sciage à fils est causée par la suspension (Slurry : mélange de SiC et de polyéthylène glycol), tandis que, dans le sciage à fils diamantés l'abrasion mécanique est provoquée par les particules de diamants insérées dans le fil d'acier. Le sciage à fil diamanté ne nécessite donc aucune suspension, seulement un liquide de refroidissement, généralement de l'eau et un additif [9].

La [figure IV-2](#) représente les étapes de fabrication du wafer Mono-EQ® par la technique (ou variante) de transfert sur le substrat fritté, de feuilles minces de silicium monocristallin, issues du procédé de sciage à fil diamanté. L'épaisseur de la couche transférée est de quelques dizaines de microns (60-80 μm).

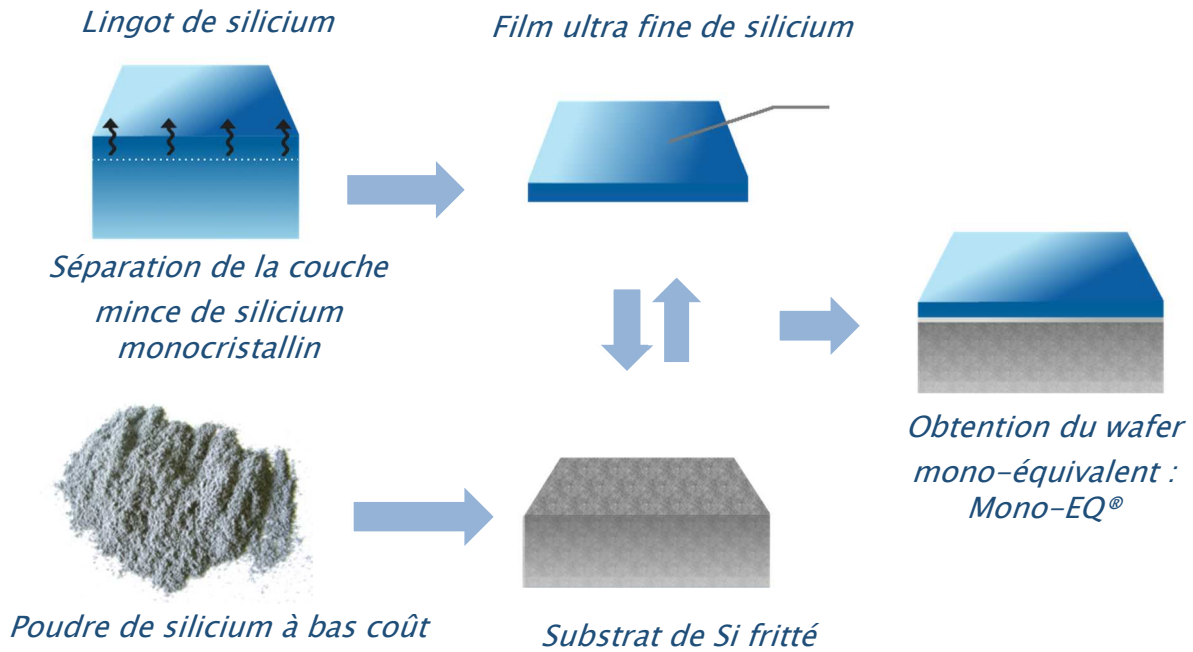


Figure IV-2 : Technique de réalisation du wafer Mono-EQ® par transfert de couche mince de silicium obtenue par sciage à fil diamanté. (Source : documents S'Tile).

Dans les deux cas, le transfert et collage de la couche sur le substrat fritté est fait par un traitement thermique, soit directement (collage moléculaire), ou avec ajout d'une fine couche métallique comme l'aluminium (Al), dans ce cas le collage est dit « eutectique ». Le collage moléculaire a été rapidement abandonné dans le procédé S'Tile au détriment du collage eutectique. En effet, contrairement au collage eutectique où l'exigence de l'état de surface est beaucoup moins importante, le collage moléculaire nécessite quant à lui une grande exigence sur l'état de surface : rugosité (quelques nanomètres) et la planéité des matériaux à coller, ce qui serait difficilement industrialisable à des coûts réduits. La figure IV-3 montre des photographies de wafers Mono-EQ® obtenus par les deux techniques décrites ci-dessus : (A) correspond à la technique de report de la feuille mince de silicium obtenue par sciage à fils diamantés. (B) correspond à la technique de transfert de couche mince de silicium épitaxié.

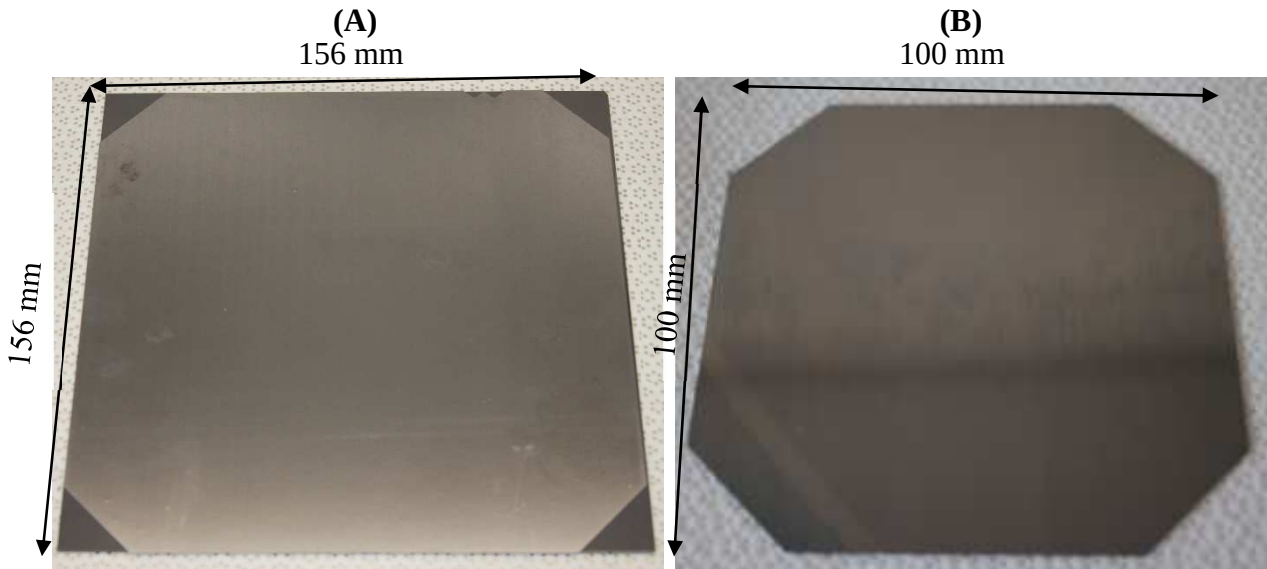


Figure IV-3 : Photographies de wafers Mono-EQ®. Par transfert de couche mince ($80\mu\text{m}$) de silicium obtenue par sciage à fils diamantés (A) & par épitaxie de couche mince ($50\mu\text{m}$) de silicium obtenue par épitaxie en phase vapeur (B).

IV.2.2 Réalisation de cellule solaire sur wafer Mono-EQ® - Transfert de couche épitaxiée

IV.2.2.1. Préparation du substrat de silicium fritté

Les substrats de silicium frittés utilisés pour la réalisation des cellules sur wafer Mono-EQ® sont produits dans le four-presse à chauffage inductif. Des frittés de dimension $170 \times 170 \text{ mm}^2$, de densités comprises entre 75% et 85%, de résistivités de l'ordre de $10^{-2} \Omega.\text{cm}$, et d'épaisseur comprises entre $550\text{-}650 \mu\text{m}$ ont été produits. Un rodage mécanique a permis de réduire les rugosités de surface du fritté ($R_a \approx 10\mu\text{m}$). Le substrat a ensuite été découpé pour obtenir une dimension de $100 \times 100 \text{ mm}^2$.

IV.2.2.2. Réalisation du collage « eutectique »

Après l'étape de porosification et de restructuration du « substrat parent » de diamètre 6 pouces, une couche mince de silicium monocristallin de $40\text{-}50 \mu\text{m}$ d'épaisseur, dopée P, avec une résistivité de $1 \Omega.\text{cm}$ a été produite par épitaxie CVD. Une couche mince d'aluminium (500 nm) est ensuite déposée par pulvérisation magnétron sur la surface de la couche épitaxiée. Le collage eutectique Al-Si de la couche épitaxiée est réalisé dans le four-presse à chauffage inductif à des températures comprises entre 600 et 700°C , pendant une durée de quelques minutes. Une légère pression de $0,4 \text{ MPa}$ est appliquée à 600°C afin d'homogénéiser le collage. Un flux d'argon (Ar) est maintenu dans le four tout au long du traitement. À la sortie du four, une amorce appliquée permet le détachement et le report de la couche épitaxiée sur le substrat

de silicium fritté. Un wafer Mono-EQ® est ainsi obtenu. Le substrat dit « substrat parent », autrement dit sur lequel la couche de silicium a été épitaxiée, est traité pour être réutilisé pour plusieurs autres cycles d'épitaxie et de transfert.

La [figure IV-4](#) montre une image MEB réalisée sur la section du wafer Mono-EQ obtenu. Cette image montre une interface de collage nette régulière, ne présentant pas de défaut de type voids (cavités).

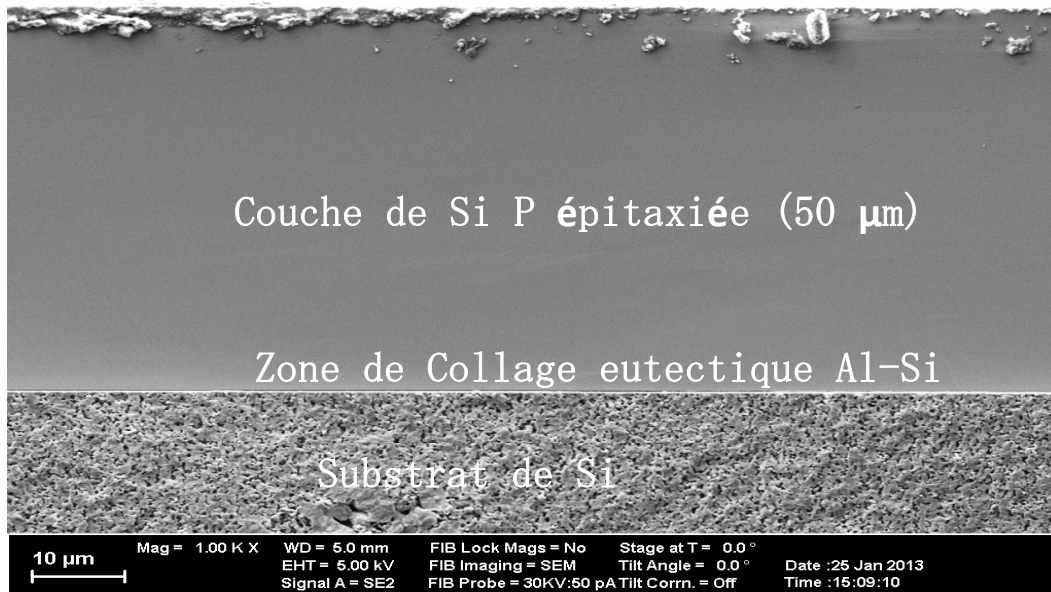


Figure IV-4 : Image MEB de la section du wafer Mono-EQ®, réalisé par collage eutectique de la couche mince (50µm) de silicium obtenue par épitaxie, sur le substrat de Si fritté.

IV.2.2.3. Réalisation de cellules solaires à partir du wafer Mono-EQ®

Avant le détachement, nous avons appliqué des procédés de passivation et de contact de type PERC à l'arrière de la cellule. Une fois le wafer Mono-EQ® obtenu, des procédés standards de fabrication de cellules ont été employés avec le concours du laboratoire de l'INES (Institut National de l'Énergie Solaire). La couche mince de silicium monocristallin (50 µm) constitue l'absorbeur de la future cellule. En effet, une épaisseur de (20-40 µm) de Si monocristallin suffit pour atteindre des efficacités de conversion photovoltaïque élevées si la structure, sa passivation ainsi que le confinement optique ont été optimisés [11,14]. Le procédé cellule employé est résumé sur la [figure IV-5 \(gauche\)](#) ; une texturation KOH (1%) pour améliorer le confinement optique, la diffusion POCl₃ pour la formation de l'émetteur N⁺. Une couche de passivation Al₂O₃ afin d'améliorer la durée de vie des porteurs, et un dépôt de la couche antireflet (SiN_x : H) par PECVD. Enfin, les contacts métalliques sont réalisés par

sérigraphie suivie d'un recuit thermique. La photographie de la cellule ainsi réalisée est montrée sur la figure IV-5 (droite).

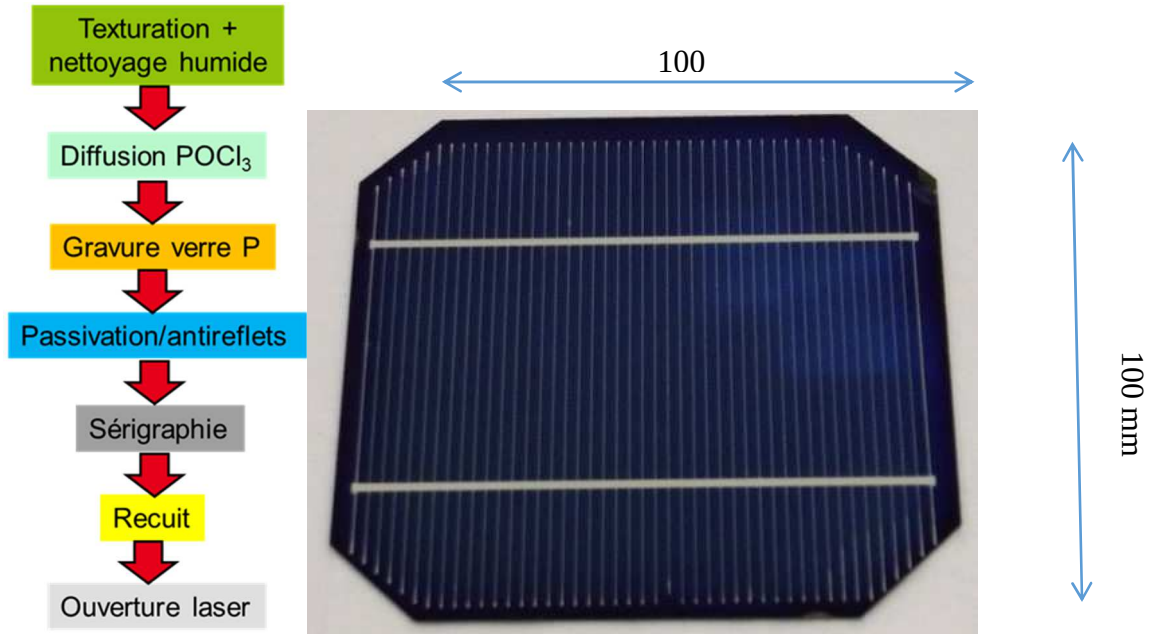


Figure IV-5 : Étapes de réalisation de la cellule solaire S'Tile sur son wafer Mono-EQ (gauche). La figure de droite représente une photographie de la cellule réalisée.

IV.2.2.4. Caractérisation de la cellule solaire réalisée sur wafer Mono-EQ®

IV.2.2.4.1. Rendement de conversion photovoltaïque

Le tableau IV-1 donne les caractéristiques électriques de cellules réalisées dans les conditions décrites précédemment. Un rendement de conversion maximal de 15,3% a été obtenu. Une de ces cellules a été certifiée par le laboratoire CalLab du Fraunhofer (Allemagne). La courbe I-V de la cellule certifiée est présentée sur la figure IV-6.

Tableau IV-1 : Caractéristiques électriques et rendement de cellules réalisées sur wafer Mono-EQ®

N° cellule	J_{cc} (mA/cm ²)	V_{oc} (mV)	FF (%)	η (%)
Cellule sur Mono-EQ 1	32,3	608,3	77,5	15,2
Cellule sur Mono-EQ 2	31,9	609,8	78,6	15,3

la certification de la cellule réalisée sur le wafer Mono-EQ® a permis de démontrer une efficacité de conversion photovoltaïque supérieure à 15 %. Ces résultats sont très encourageants du point de vue technologique.

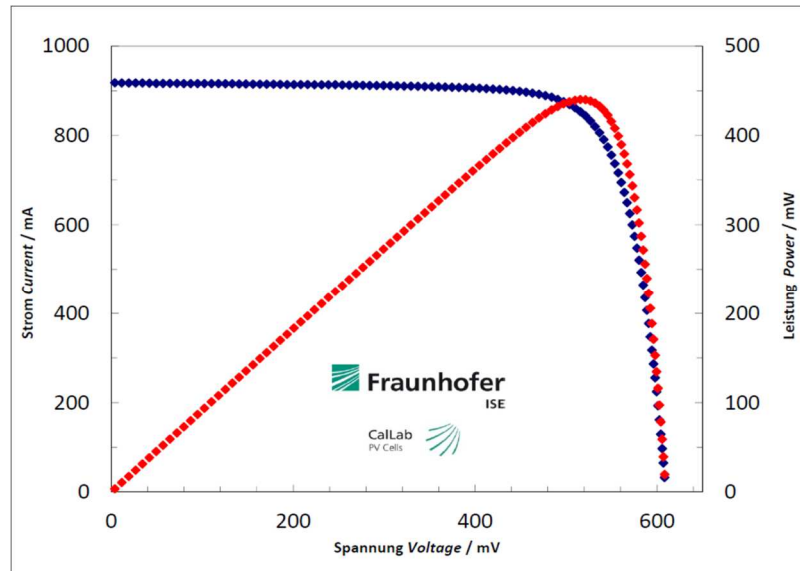


Figure IV-6 : Caractéristiques I-V de la cellule certifiée par le laboratoire CalLib

Cependant, des optimisations sont nécessaires afin d'améliorer le rendement de conversion. Contrairement aux précédents concepts de réalisation de la cellule solaire S'Tile, où le wafer était soumis à une recristallisation totale ou partielle, le concept Mono-EQ représente en effet, un fort potentiel d'industrialisation de cellules à haut rendement sur substrat bas coût. Cependant, les réacteurs d'épithaxie qui existent à ce jour ne permettent que la production à l'échelle du laboratoire. Ainsi, pour l'industrialisation de ses cellules, S'Tile a opté pour la voie la plus simple et la plus rapide, qui consiste à fabriquer ses wafers Mono-EQ par collage de couches minces de silicium obtenues par sciage à fils diamantés. En effet, la technique de sciage a démontré une maturité industrielle. Elle permet la production à grande échelle de feuille mince de silicium de dimensions standards.

IV.2.2.4.2. Tests de vieillissement de la cellule

Les wafers dopés au bore (B) sont souvent assujettis au phénomène de dégradation des performances photovoltaïques sous lumière. Ce phénomène, appelé « Light-Induced Degradation » ou (LID) est lié à la formation de complexes bore-oxygène (B-O) dans les plaquettes de silicium sous excitation lumineuse. Ces complexes B-O impactent le transport électronique généré par une diminution de la durée de vie des porteurs de charge. Ceci se traduit par une chute des principaux paramètres de la cellule PV sous éclaircissement, notamment la

tension de circuit-ouvert (V_{co}), la densité de courant de court-circuit (J_{cc}). Les pertes engendrées par ce phénomène peuvent dépasser 1% en rendement absolu sur des cellules de type P, obtenus par des procédés dits conventionnels (croissance de lingots, découpe).

La couche mince de Si, jouant le rôle d'absorbeur dans les wafers Mono-EQ est obtenue par épitaxie dans des chambres de dépôt CVD où l'environnement est contrôlé. On s'attend donc à l'absence de ce phénomène de dégradation si cet environnement de fabrication est dépourvu d'oxygène. Par ailleurs, l'épaisseur d'absorbeur plus fine que celle d'un wafer classique permet également de réduire l'effet de LID. En effet, l'influence sur le rendement des recombinaisons associées au défaut B-O, phénomène volumique, diminue avec l'épaisseur des plaquettes. Un test de vieillissement sous un éclairage continu (0,5 soleil) et à 60°C a été réalisé sur la cellule réalisée sur wafer Mono-EQ. Une cellule fabriquée sur un wafer Cz de type P a été utilisée comme référence. La [figure IV-7](#) confirme l'absence du phénomène de LID dans les plaquettes de type P obtenues par épitaxie, sur la durée étudiée. En revanche, la cellule de référence fabriquée sur un wafer de type p Cz (contenant une forte teneur en oxygène, voisine de 10^{18} cm^{-3}) voyait sa tension de circuit ouvert V_{co} se dégrader.

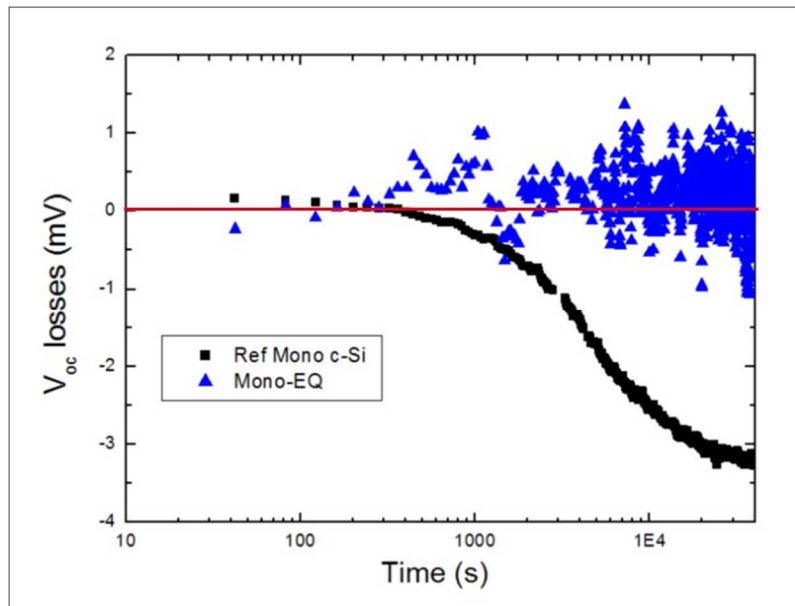


Figure IV-7 : Évolution de la V_{co} sous un éclairage continu de 0,5 Soleil à une température de 60°C pendant plus de 11h. (Source : Document S'Tile)

Les mesures de vieillissement de cellules réalisées sur Wafer Mono-EQ® montrent une très bonne stabilité de V_{oc} sur l'échelle de temps étudiée. Ce résultat suggère donc l'absence, sur cette durée, d'autres phénomènes qui pourraient être à l'œuvre dans cette structure comme la

migration d'impuretés depuis le substrat fritté vers la couche active, une altération de la barrière et/ou du collage eutectique par exemple.

IV.2.2.4.3. Facteurs clés d'amélioration du rendement de conversion de la cellule réalisée sur substrat Mono-EQ

Nous présentons dans ce paragraphe les facteurs clés d'amélioration du rendement de conversion photovoltaïque de la cellule solaire réalisée sur wafer Mono-EQ par comparaison aux études antérieures à cette thèse moyennant une étape de recristallisation totale ou partielle de couche active.

En effet, comme présenté dans le [tableau IV-1](#), un rendement de conversion maximal de 15,3 % a été obtenu sur une cellule réalisée sur wafer Mono-EQ. Nous avons vu dans le deuxième chapitre que les rendements de conversions des cellules réalisées sur le wafer recristallisé par FWR « *Full Wafer Recrystallization* » ou ZMR « *Zone Melting Recrystallization* » reste limité autour de 10 %.

Le problème des frittés recristallisés en surface ou totale réside dans la faible qualité cristalline de la couche active. On observe des tailles de grains très variables avec des zones à très petits grains (quelques microns), qui jouxtent des grains de plus grandes dimensions (quelques centimètres). En effet, les grains de petites tailles ainsi que les interfaces entre grains étant le siège de forte recombinaison des porteurs.

Une autre différence essentielle entre le procédé de réalisation de cellules solaires sur substrat fritté moyennant une étape de recristallisation et celui du procédé de réalisation de cellules sur le wafer mono-EQ (transfert de couches minces de silicium épitaxiée), c'est que dans le premier cas, il n'est pas possible de passiver la face arrière du fait de la structure de celle-ci. La couche recristallisée, qui est aussi la couche active de la cellule, est en contact direct avec le substrat fritté polycristallin à petit grains.

Au contraire, dans la structure Mono-EQ (transfert Epi sur substrat fritté), la face arrière de la couche Epi a pu faire l'objet, avant transfert/bonding, d'un traitement de passivation de type PERC.

Le rendement de conversion de 15,3% obtenu avec le wafer Mono-EQ avec une épaisseur de la couche active d'environ 40 μm et une durée de vie des porteurs est certes encourageant, mais peut encore être amélioré. En effet il est montré qu'avec ce type de structure (PERC) que si la couche monocristalline présentait une durée de vie des porteurs de 100 μs , le rendement devrait atteindre 20 % avec une bonne passivation.

Par ailleurs, les procédés d'épithaxie et de transfert/bonding, réalisés à hautes températures respectivement à 1100°C et 700°C ont certainement contribué à la création contaminations dans le réacteur d'épithaxie, et de défauts de type « Spikes » (lié à l'alliage AlSi pendant le collage eutectique). L'amélioration de ces procédés augmenterait le rendement de la cellule sur Mono-EQ.

IV.3. La cellule solaire intégrée (i-Cell)

Nous avons décrit le procédé de fabrication du wafer Mono-EQ®, ainsi que les principaux résultats de cellules obtenus sur celui-ci, nous allons à présent nous intéresser au procédé de réalisation de la cellule solaire intégrée. i-Cell est une technologie innovante de fabrication de cellules solaires à haut rendement de conversion, à des coûts réduits. Cette technologie brevetée par S'Tile [20] consiste à connecter en série sur un substrat de fritté intégré de 156 x 156 mm² plusieurs cellules élémentaires fabriquées à partir de couches minces (20 - 60 µm) de silicium monocristallin. Nous présenterons dans cette partie les procédés de fabrication du substrat fritté intégré et de l'i-Cell. Les résultats des prototypes i-Cell ainsi que leur intégration au module seront présentés et discutés.

IV.3.1. Structure de la cellule intégrée « i-Cell »

La structure globale de la cellule intégrée est présentée sur la [figure IV-8](#), quatre cellules élémentaires ou sous-cellules sont connectées en série sur le substrat de silicium « fritté isolant ». Au sein de ce substrat électriquement isolant, des zones rendues localement conductrices, appelées « caissons conducteurs », ont été préalablement formées. En effet, les caissons conducteurs servent de contact électrique de la face arrière de chacune des sous-cellules, ils sont séparés les uns des autres par une distance environ 1 mm.

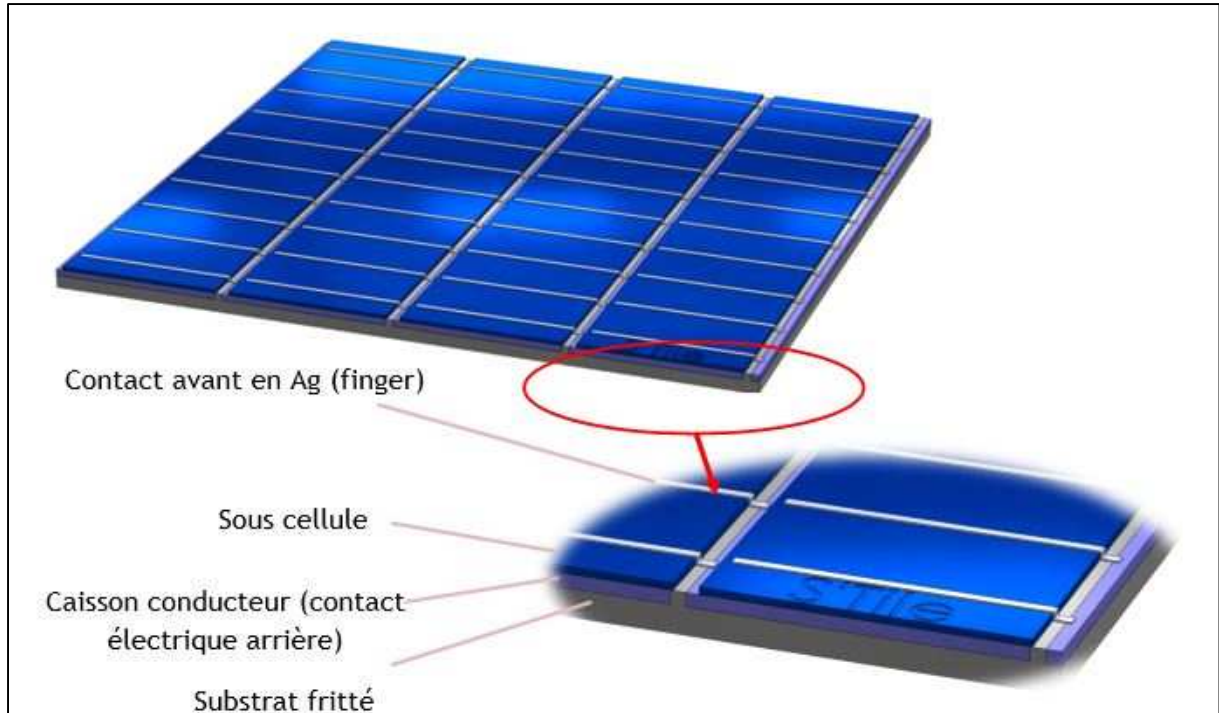


Figure IV-8 : structure globale d'une i-Cell. La capture met en évidence l'interconnexion de la face avant de la cellule sur le caisson conducteur. (Source : Document S'Tile)

La figure IV-9 montre la structure détaillée de l'i-Cell avec les différentes couches qui la constituent.

La couche intermédiaire joue le rôle de barrière de diffusion aux impuretés du substrat fritté vers la couche active, elle sert également de couche de passivation et de contact électrique. Après l'étape de diffusion de POCl_3 pour la formation l'émetteur N^+ et le dépôt de la couche antireflet ($\text{SiN}_x:\text{H}$), la sérigraphie de la pâte Ag 1 est réalisée pour la formation de la métallisation face avant. Cette métallisation (pâte Ag 1) est formée de peignes fins d'Ag appelés « fingers », une étape de recuit « firing » est nécessaire pour la prise de contact avec l'émetteur. La sérigraphie de la pâte Ag 2 permet de réaliser la connexion en série des différentes sous-cellules les unes avec les autres (face avant d'une sous-cellule sur le caisson voisin), le recuit de firing n'est pas nécessaire, un recuit thermique à basse température ($150\text{-}200^\circ\text{C}$) étant suffisant.

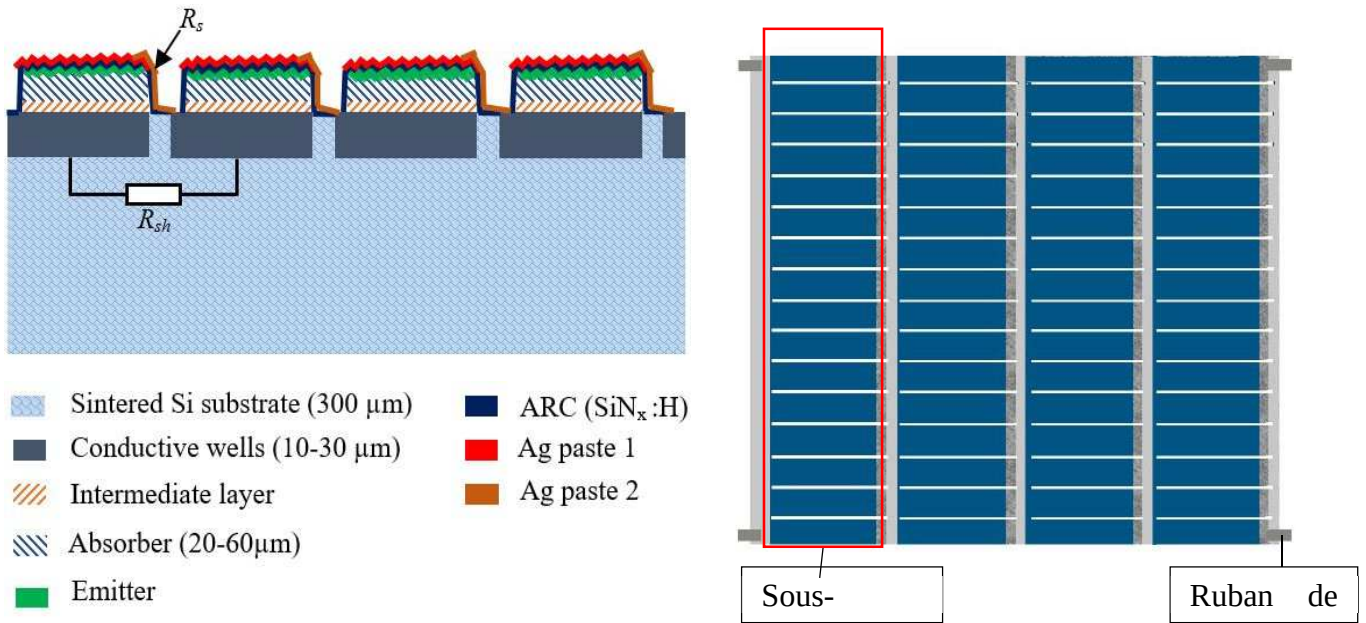


Figure IV-9 : Structure d'une cellule intégrée « i-Cell » réalisée par la connexion en série de quatre sous- cellules les unes des autres. (a) Vue sur la section. (b) Vue de face [7,8].

La figure IV-10 montre le résumé de l'enchaînement des étapes de fabrication (process flow) de l'i-Cell à partir de la couche mince (50 μm) de silicium épitaxié.

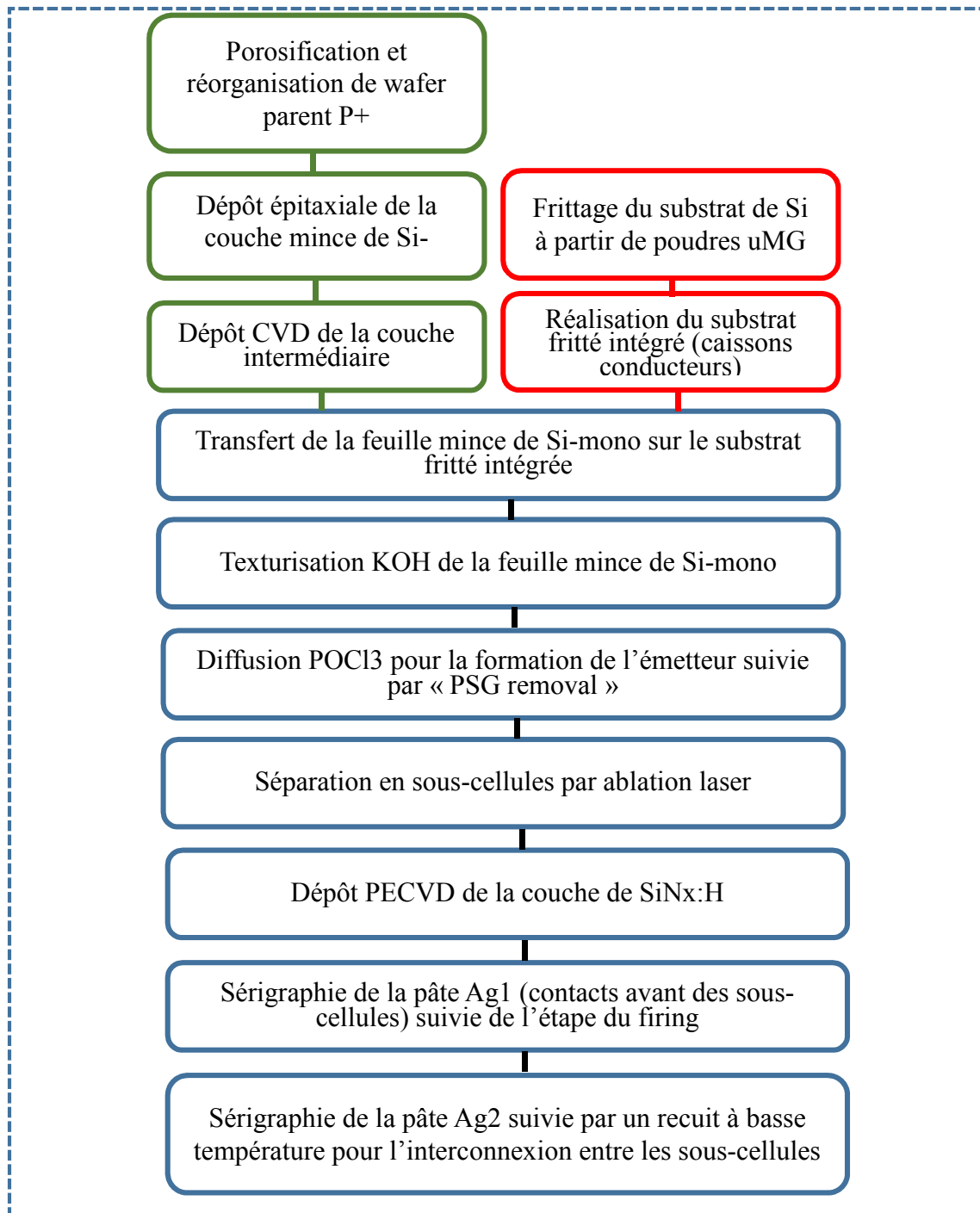


Figure IV-10 : Résumé des étapes de fabrication de l'i-Cell [5]

IV.3.2. Caractéristiques I(V) d'une cellule intégrée :

Suivant le modèle électrique d'une cellule solaire standard (figure IV-11), la caractéristique courant-tension I(V) s'écrit de la manière suivante [17] :

$$I = I_s \left(\exp \left(\frac{q(V - IR_{s-cell})}{kT} \right) - 1 \right) - I_L + \left(\frac{V - IR_{s-cell}}{R_{sh-cell}} \right) \quad (1)$$

Où :

- I_s est le courant de saturation de la diode,
- I_L le photocourant,
- q la charge élémentaire,
- k la constante de Boltzmann,
- T la température en Kelvin,
- R_{s-cell} et $R_{sh-cell}$ sont respectivement la résistance série et la résistance parallèle.

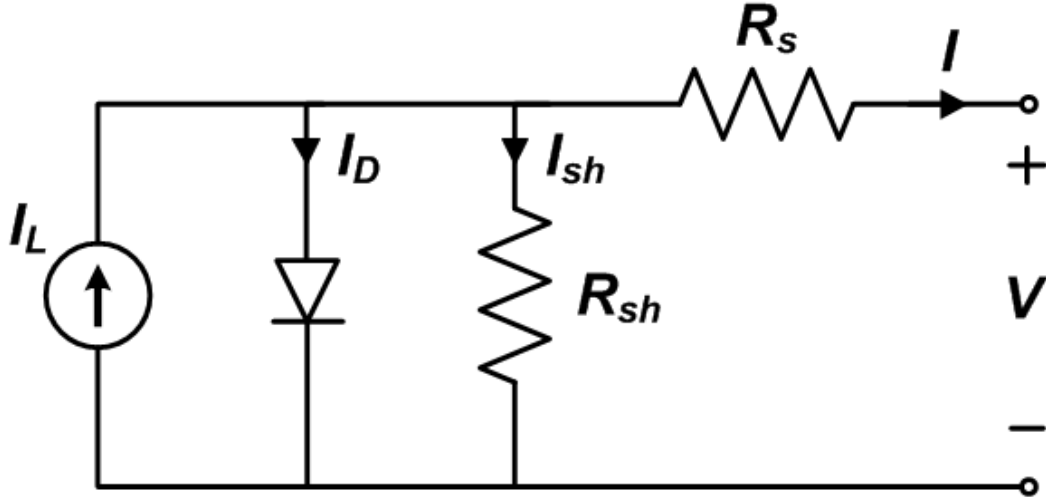


Figure IV-11 : modélisation électrique d'une cellule solaire

Dans le cas de la cellule intégrée, deux autres résistances doivent être prises en compte [5] :

- La résistance série R_s , relative à l'interconnexion entre les sous-cellules.
- La résistance parallèle (shunt) R_{sh} entre caissons conducteurs dans le substrat fritté intégré.

Les expressions du courant I_{i-Cell} et tension V_{i-Cell} de la cellule intégrée sont alors données comme suit :

$$I_{i-Cell} = \frac{I}{n} - \frac{V - IR_s}{R_{sh}} \quad (2)$$

$$V_{i-Cell} = n \left(V - \frac{IR_s}{n} \right) = nV - nIR_s \quad (3)$$

Où n est le nombre de sous-cellules dans l'i-Cell, I et V sont respectivement le courant et la tension d'une cellule, comme présenté dans l'équation (1).

IV.3.3. Économies de matériaux précieux réalisées dans l'i-Cell :

L'un des principaux avantages attendu de la cellule intégrée réside dans la production de cellules solaires à haut rendement de conversion avec des coûts réduits. De ce fait, la quantité de matériaux précieux utilisés dans le procédé classique comme le silicium pur, l'argent et le cuivre est considérablement réduite. Nous avons vu que l'utilisation du procédé de frittage pour la réalisation du support fritté en vue de la réalisation de l'i-Cell représente une économie d'environ 50% par rapport au procédé de tirage et sciage et sciage de lingots. Le [tableau IV-2](#) résume les principales économies réalisées sur le module i-Cell comparé au module classique en silicium monocristallin à haut rendement. Le coût du module i-Cell est réduit d'environ 26 % par rapport au module en silicium monocristallin.

➤ **Pâte d'argent :** Le potentiel de réduction du coût de fabrication de l'i-Cell est la diminution de la consommation de métal pour réaliser les fingers et les busbars. En effet, les métallisations sont généralement réalisées en pâte d'argent et représentent environ 20 % du prix d'une cellule solaire classique.

Sur une cellule solaire classique, de la pâte d'argent est nécessaire pour réaliser les busbars et les fingers en face avant ainsi que les busbars en face arrière. Pour une cellule intégrée, le contact en face arrière ne nécessite pas de dépôt de pâte d'argent, de plus aucun busbar n'est nécessaire en face avant. La pâte d'argent pour les fingers représente la même quantité dans les deux cas. L'économie de pâte d'argent réalisé sur l'i-Cell est donc la quantité de pâte d'argent utilisée pour les busbars, ce qui représente une économie d'environ 50 %.

➤ **Le ruban de cuivre étamé :** L'utilisation du ruban de cuivre dans la fabrication de modules photovoltaïques représente une part importante du coût final d'un module (environ 6% du coût final). Dans un module classique, il est nécessaire de recouvrir les busbars de chaque face de la cellule, quasiment entièrement. Les modules classiques, composés de cellules carrées de 156 mm de côté, nécessitent l'utilisation de 4x140 mm de ruban de Cu étamé, soit 560 mm de ruban, par cellule. L'interconnexion entre i-Cells nécessite une très faible longueur de ruban, c'est à dire 2x4 mm de ruban étamé. La consommation de ruban est donc divisée par 70. De plus le courant produit par l'i-Cell étant plus faible que le courant d'une cellule classique la

section du ruban peut être diminuée. De plus, le ruban de cuivre entraîne des contraintes sur la cellule solaire qui peuvent conduire à des cassures ou à l'apparition de défauts dans le silicium. Ce risque est fortement diminué en connectant les rubans uniquement sur un substrat de silicium fritté.

IV.3.4. Calcul des coûts de productions d'i-Cell

Le calcul du coût de production de masse des cellules intégrées est présenté sur le [Tableau IV-2](#). Ce calcul est basé sur la technique de fabrication d'i-Cell par transfert/bonding de feuilles minces (environ 80 μm) de Si monocristallin. Les coûts liés aux différentes étapes de réalisation telles que : celui des matières premières (Si, Cu, Ag...), des procédés de fabrications (frittage, diffusion, métallisations...etc), les coûts de fonctionnement des machines... sont soigneusement répertoriés dans un programme Excel qui a permis de réaliser les calculs présentés dans le tableau ci-dessous.

Les résultats de ces calculs présentés ci-dessous reposent sur plusieurs hypothèses :

- Capacité de production : 50 MW, 250 MW, 1000 MW ¹
- Rendement de conversion des i-Cells : 20 %
- Kerf loss: 110 μm
- Épaisseur de la feuille de mono-Si : 80 μm
- Prix du SOG-Si (Solar Grade Si): 13.4 €/ kg ²
- Prix du MG-Si (Metallurgical Grade Si) : 3.5 €/kg
- Prix de la pâte d'argent : 450 €/kg
- Temps de fonctionnement: 8000 h/an
- Base salaire Européens.

¹ Quand on double la capacité de production, les coûts de productions sont réduits d'environ 5% sous l'effet d'échelle.

² <http://pvinsights.com/index.php>

Tableau IV-2 : Calcul de la structure de coût de production d'i-Cells

	Production 50 MW i-Cell (Eff. 20 %)	Production 250 MW i-Cell (Eff. 20 %)	Production 1000 MW i-Cell (Eff. 20 %)
Coût du substrat fritté (c€/W)	1.2	1.0	0.9
Coût de la feuille mince de mono- Si(c€/W)	11.3	10.0	9.0
Coût du Front end process (c€/W)	5.3	4.6	4.2
Coût assemblage i-Cell + interconnexions (c€/W)	4.0	3.5	3.2
Coûts administratives et frais divers (c€/W)	1.4	1.2	1.1
i-Cell Total Cost (c€/W)	23	20	18

Cependant, le coût du Watt crête des cellules standards tourne aujourd'hui autour de 33 c€/W, moyennant environ 15% de marge. Ceci revient à un coût de production d'environ 28 c€/W. Ceci dit, même avec une marge de 15%, le coût de production de l'i-Cell reste moins onéreux que celui des cellules classiques. Ceci est d'autant plus vrai que les cellules de Sunpower qui sont à plus de 40 c€/W.

IV.3.5. Évaluation de pertes de puissance dans une i-Cell :

IV.3.5.1. Introduction

L'optimisation des grilles de métallisation est une étape essentielle dans la conception des cellules solaires à haut rendement de conversion [8]. En effet, il a été montré par de nombreux auteurs que les pertes engendrées par les métallisations peuvent avoir des conséquences néfastes sur les performances d'une cellule solaire [9–12]. Les calculs théoriques de pertes de puissances dans la cellule intégrée, présentés dans le [tableau IV-5](#) ont été inspirés de ces travaux.

Les pertes de puissance dans une cellule solaire sont provoquées par deux facteurs principaux :

- L'ombrage de la cellule par les métallisations :

La grille de métallisation placée en face avant de la cellule entraîne l'ombrage de sa partie active. Cet ombrage conduit à la diminution de la surface exposée aux rayons lumineux, et par conséquent, une baisse de l'énergie captée par la cellule.

➤ Les pertes ohmiques dues à la résistivité des matériaux utilisés :

Les pertes ohmiques dans une cellule solaire sont générées par plusieurs facteurs. En effet, à partir de la génération d'une paire électron-trou jusqu'à sa collecte dans les circuits de métallisation, le courant photogénéré traverse différents matériaux résistifs. Les pertes ohmiques sont donc réparties sur les différentes zones de la cellule, traversées par le courant photogénéré.

IV.3.5.2. Calculs théoriques des pertes

La plupart des calculs de pertes dans la cellule classique, peuvent être appropriés pour modéliser les pertes de puissance dans les différents éléments composant la cellule intégrée. Cependant, comme montré dans le [tableau IV-3](#), certains facteurs de pertes peuvent différer selon le type de cellule (classique ou intégrée). Néanmoins, pour tous les facteurs communs aux deux types de cellules, le calcul de pertes reste le même à un détail près : seuls les dimensions changent.

Tableau IV-3 : Facteurs limitatifs de la puissance de la cellule intégrée et dans la cellule standard

	Pertes optiques	Pertes résistives
Cellule standard	- Ombrage des fingers - Ombrage des busbars	- Émetteur - Contact fingers-émetteur - Fingers - Busbars (2 faces) - Rubans (2 faces) - Aluminium
i-Cell	- Ombrage des fingers - Diminution de la surface active	- Émetteur - Contact fingers-émetteur - Fingers - Caisson - Substrat - Rubans

Afin de réaliser ces calculs, nous avons considéré que les performances de conversion photovoltaïque de la cellule intégrée sont équivalentes à celle de la cellule standard. Ceci dit, nous avons gardé la même tension V et la même densité de courant j . les résistivités des matériaux utilisés dans l'i-Cell sont également considérées comme semblables à celles de la cellule standard.

Les paramètres géométriques pris en compte pour les calculs de pertes dans la cellule intégrée sont schématisés dans la [figure IV-12](#) et présentés dans le [tableau IV-4](#). Les calculs sont réalisés en se plaçant au point maximum de puissance d'une cellule solaire sous un éclairement de 1000 W/m².

Tableau IV-4 : paramètres géométriques de la cellule intégrée

W_c	Largeur de la cellule (mm)	W_f	Largeur du finger
L_c	Longueur de la cellule	t_f	Hauteur du finger
n_{sc}	Nombre de sous-cellules	F	Longueur du finger
$W_{i\ sc}$	Espace entre 2 sous-cellules	W_a	Distance bout du finger côté cellule
$W_{s\ c}$	Largeur des sous-cellules	t_{ca}	Épaisseur caisson
e_r	Espace pour soudure ruban	$L_{r,e}$	Longueur du ruban qui dépasse de la
n_f	Nombre de fingers	W_r	cellule
S_f	Espace entre les fingers	t_r	Largeur du ruban
α_f	Facteur géométrique du finger		Épaisseur du ruban

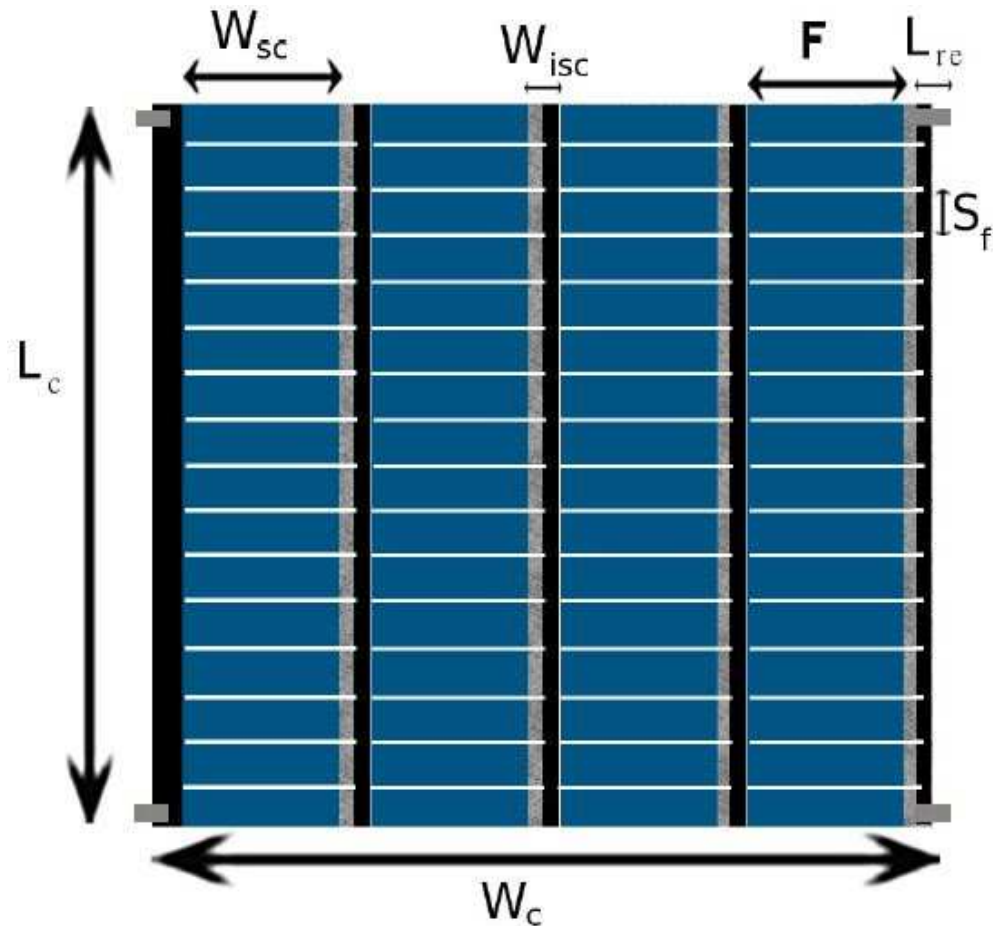


Figure IV-12 : Structure de l'i-Cell avec la notation des dimensions géométriques

Dans une cellule standard, les busbars créent une perte de puissance d'environ de 4%, due à l'ombrage engendré par ces derniers. Cette perte n'existe pas dans le cas de l'i-Cell car elle en est dépourvue. Dans le cas classique de l'i-Cell, c'est-à-dire composée de 4 sous-cellules connectées en série, le courant est divisé par 4 comparé à une cellule simple (surface 4 fois plus grande). De ce fait, les pertes résistives seront alors divisées par 16 dans un module i-Cell. La tension dans l'i-Cell est 4 fois plus élevée comparée à une cellule classique. Le [tableau IV-5](#) donne une comparaison des pertes optiques et résistives dans un module i-Cell et un module classique, où la tension et la densité de courant à la puissance maximale d'une sous-cellule ou de la cellule solaire standard de référence sont respectivement $V_m = 580 \text{ mV}$ et $J_m = 34 \text{ mA/cm}^2$. L'intervalle entre les sous-cellules dans l'i-Cell est fixé à 1 mm. Ainsi, les calculs théoriques (présentés en annexe), montrent une perte totale de 15,8 % dans le module standard contre seulement 11,5 % dans le module i-Cell. Ainsi dans un module i-Cell, les pertes optiques et résistives sont réduites de 27 %. Ceci constitue un gain de performance non négligeable dans l'i-cell. Par ailleurs, les pertes optiques engendrées par l'intervalle entre sous-cellules peuvent être diminuées en réduisant les intervalles.

Tableau IV-5 : comparaison de la perte de puissance d'un module classique et un module i-Cell [5]

Type de pertes		Cellule standard (%)	i-Cell (%)
Pertes Optiques	Fingers	5	4,8
	Busbars	2,3	
	Intervalle entre sous-cellule		3,2
	Total	7,3	8
Pertes Résistives		8,5	3,5
Perte totale		15,8	11,5

IV.3.6. Réalisation du substrat fritté intégré

IV.3.6.1. Structure et rôle du substrat fritté intégré

Nous avons vu dans la structure de la cellule intégrée que le substrat « fritté intégré » joue un rôle capital dans la réalisation de celle-ci. Une représentation schématique d'un substrat fritté intégré est montrée sur la [figure IV-13](#). Il consiste à réaliser sur le substrat isolant de silicium fritté, des zones de conduction locales appelées « caissons conducteurs ». Il combine à la fois la fonction de :

- Support mécanique : il doit supporter l'ensemble des sous-cellules, et résister à toutes les étapes du procédé.
- Contact électrique : il remplit la fonction de contact électrique en face arrière des sous cellules via les caissons conducteurs.

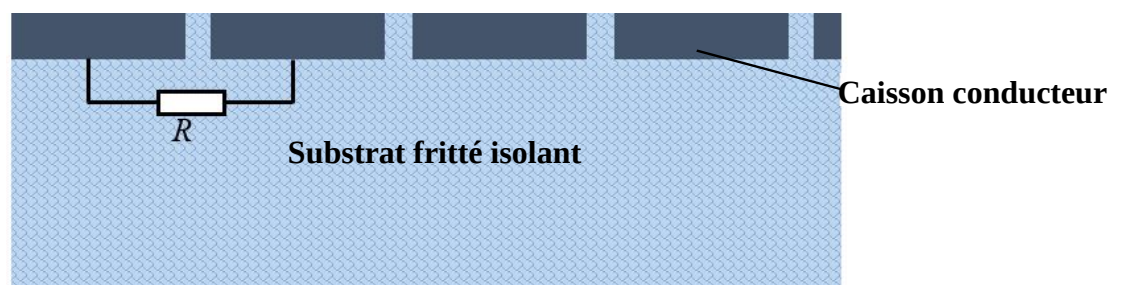


Figure IV-13 : Structure du substrat fritté intégré

Le substrat de silicium fritté doit assurer une bonne isolation électrique entre les caissons conducteurs afin d'éviter les pertes qui peuvent être causées par une conduction latérale de courant entre ces derniers (courant de fuite). Pour cela, la résistivité électrique du fritté doit être $\geq 10^3 \Omega \cdot \text{cm}$. L'isolation électrique du substrat est obtenue par deux manières :

- Soit d'une manière directe, en frittant des poudres nanométriques de silicium de qualité solaire, c'est-à-dire dépourvue des contaminations métalliques et des dopants. Cette poudre, fournie par un producteur industriel, est produite dans les réacteurs à lits fluidisés.
- Soit en frittant des poudres de qualité métallurgique (uMG), dans ce cas, une étape d'oxydation thermique du substrat fritté est nécessaire afin de le rendre isolant. L'oxydation du silicium fritté a été présentée dans le chapitre 3 de ce manuscrit.

IV.3.6.2. Protocole expérimental de la réalisation du substrat fritté intégré

Dans une première approche des substrats de silicium fritté non dopés, issus de frittage de poudres de silicium de qualité solaire, d'épaisseurs comprises entre 400 – 450 μm , et de dimension standard (156 x 156 mm^2) ont été utilisés pour la réalisation du substrat fritté intégré. Ces frittés obtenus sans ajout d'éléments dopants ont été produits dans le four de frittage à chauffage par induction électromagnétique. Ils présentent des porosités comprises entre 15-20% et des résistivités électriques supérieures à $10^3 \Omega\cdot\text{cm}$. Tout d'abord, des motifs localisés d'aluminium, de 20-25 μm d'épaisseur, espacés d'une distance de 1 mm, ont été imprimés par sérigraphie sur le substrat de Si fritté préalablement rodé et nettoyé. La sérigraphie de la pâte d'aluminium a été faite dans la machine industrielle de sérigraphie conçue par le groupe « *Machine Dubuit* ». Les substrats séchés sont ensuite passés dans le four industriel de firing (*Centrotherm DO-FF-HTO-12.000-300*). Le four de firing utilisé dans cette étude est le même que celui utilisé pour les recuits de métallisation des cellules PV. Long de 15 m, ce four est constitué de 6 zones différentes, chauffées par lampes halogènes, permettant la montée progressive en température jusqu'à la zone de « firing », le séchage du substrat, et l'évaporation des solvants et additifs contenus dans la pâte d'aluminium. Le recuit proprement dit a lieu dans la zone (5/6) du four, dite « zone de firing », où la température (pic) de recuit doit être réglée à une température supérieure à celle de fusion d'aluminium ($T_{\text{f (Al)}} = 660^\circ\text{C}$). La [figure IV-14](#) montre les différentes zones du four ainsi que le profil de température en fonction des zones.

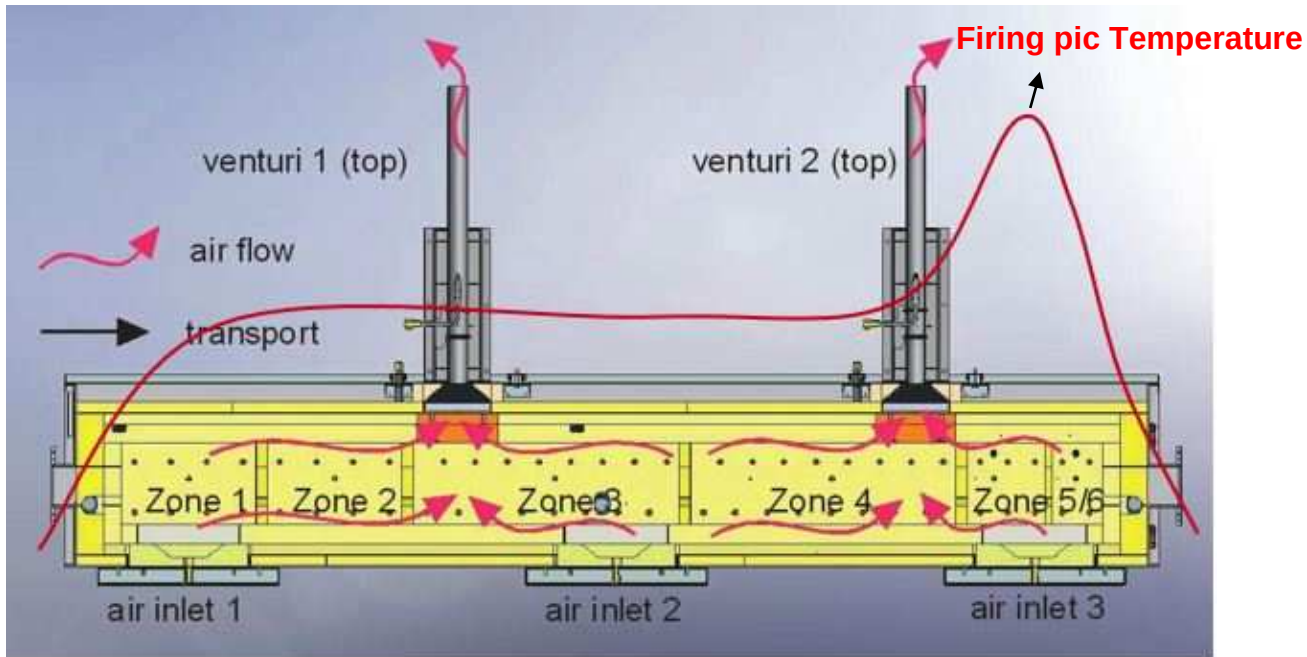


Figure IV-14 : les différentes zones de chauffages du four de firing, (recuit). La courbe en rouge représente le profil typique de température.

L'interdiffusion entre l'aluminium et le silicium fritté poreux permet la cristallisation du substrat fritté poreux sur une certaine profondeur et la formation d'un alliage Al-Si conducteur. L'épaisseur ainsi que les propriétés électriques du caisson obtenu dépendent de la température de recuit (pic de firing). Les particules d'aluminium résiduelles en surface du substrat sont enlevées aux ultrasons, dans un bain d'eau déionisée. Le substrat de silicium fritté intégré est ainsi obtenu.

Ainsi, l'influence du profil de température de firing sur les caractéristiques électriques et microstructurale du fritté intégré a été étudiée. Pour cela, trois profils de températures présentant des pics à 720°C, 780°C et 820°C ont été utilisés (figure IV-15). La profondeur de diffusion de l'Al dans le fritté a été évaluée grâce aux observations MEB. La résistivité électrique des caissons a été mesurée par la technique de 4 pointes.

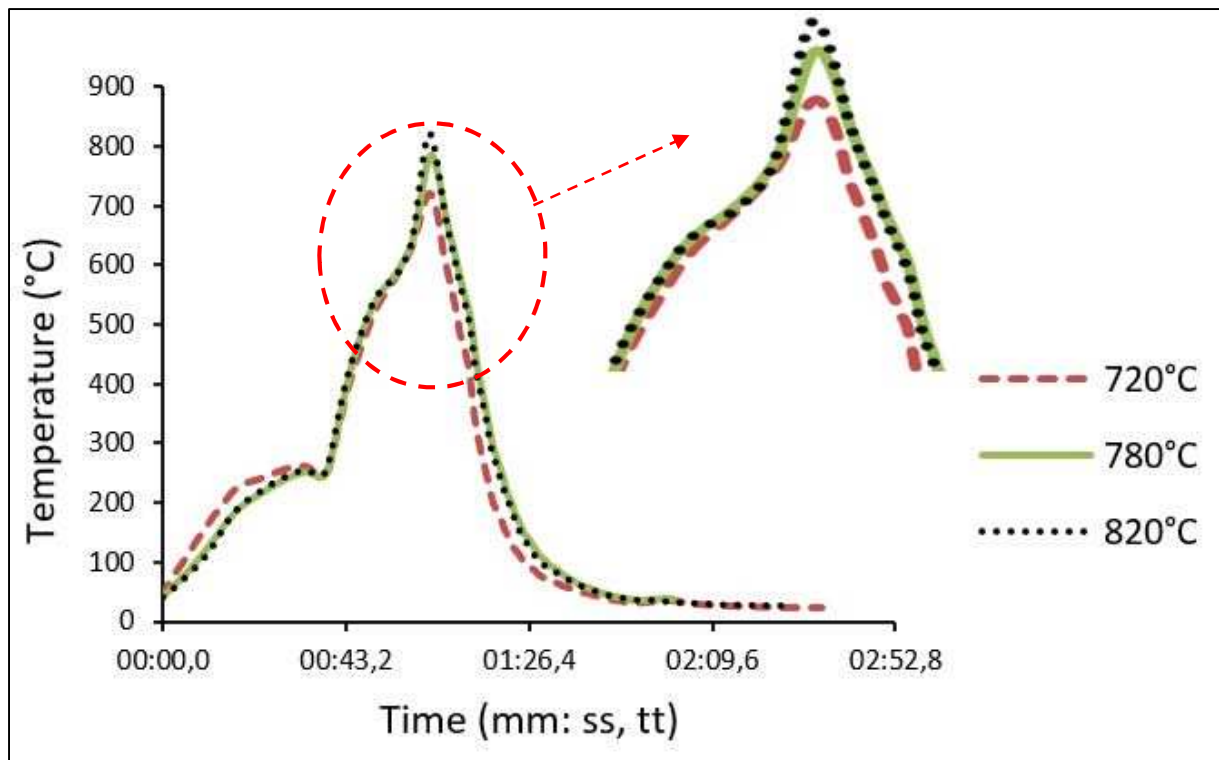


Figure IV-15 : Profil des températures de recuit [23]

IV.3.7. Résultats et discussions

La figure IV-16 montre une photographie d'un substrat de silicium fritté de dimension 156X156 mm² avant et après réalisation des caissons conducteur. Quatre caissons conducteurs, représentés en « gris clair », ont été réalisés localement par le procédé de sérigraphie de motifs d'aluminium sur le substrat fritté, suivie d'un recuit rapide dans le four de firing suivant les profils montrés dans la figure IV-15. Les caissons conducteurs sont espacés les uns des autres par une zone isolante de 1mm.



Figure IV-16 : Photographie d'un substrat de silicium fritté (156X156mm²) avant intégration des caissons (gauche) ; Après intégration des caissons et nettoyage du substrat intégré (droite).

Comme nous pouvons l'observer sur la photographie du substrat intégré (Figure IV-16-gauche), les motifs d'impression de la pâte d'aluminium sur le substrat fritté ont été réalisés de façon discontinue (sous forme de peigne). Ceci permet d'économiser la consommation de la pâte d'aluminium, mais aussi et surtout d'éviter le phénomène de déformation (bowing) de la plaquette pendant l'étape de recuit. Ce phénomène de déformation est récurrent dans les recuits de formation de Al-BSF pleine plaque dans les cellules solaires. Cette déformation est essentiellement due aux fortes contraintes engendrées par la différence de coefficients de dilatations thermiques (α) entre le silicium et la pâte d'aluminium ($\alpha_{Si} = 7,6 \text{ K}^{-1}$, $\alpha_{Al} = 23,8 \text{ K}^{-1}$) [12,15].

La figure IV-17, représente des images MEB réalisées en coupe de l'échantillon fritté intégré mettant en évidence une zone dense (caisson) séparée par une zone poreuse constituant l'intervalle entre deux caissons.

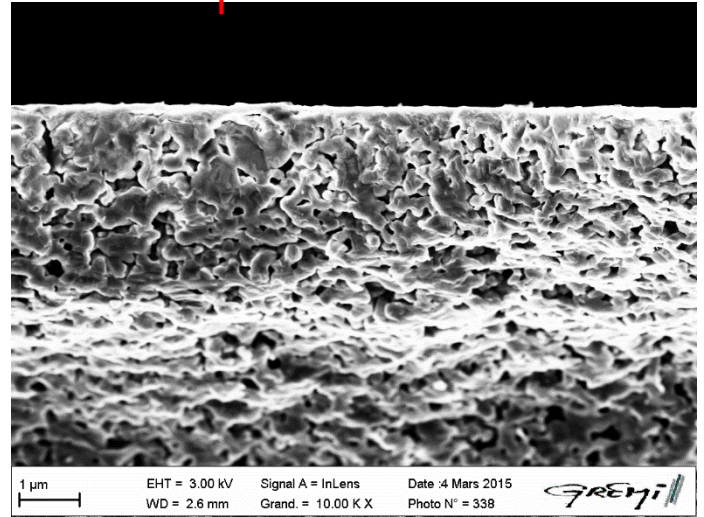
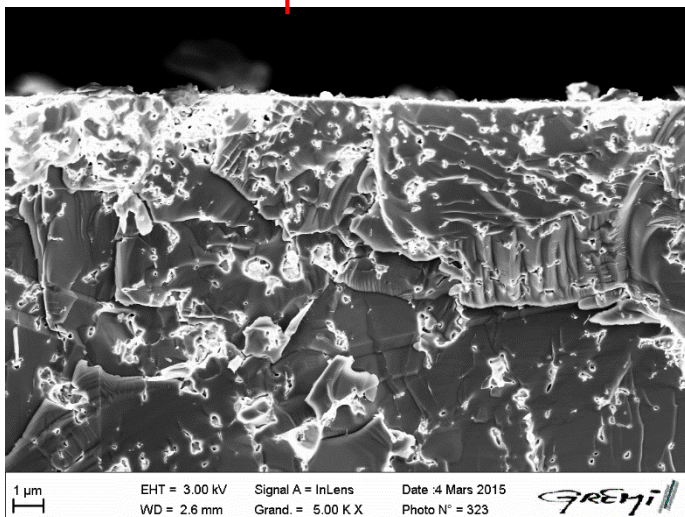
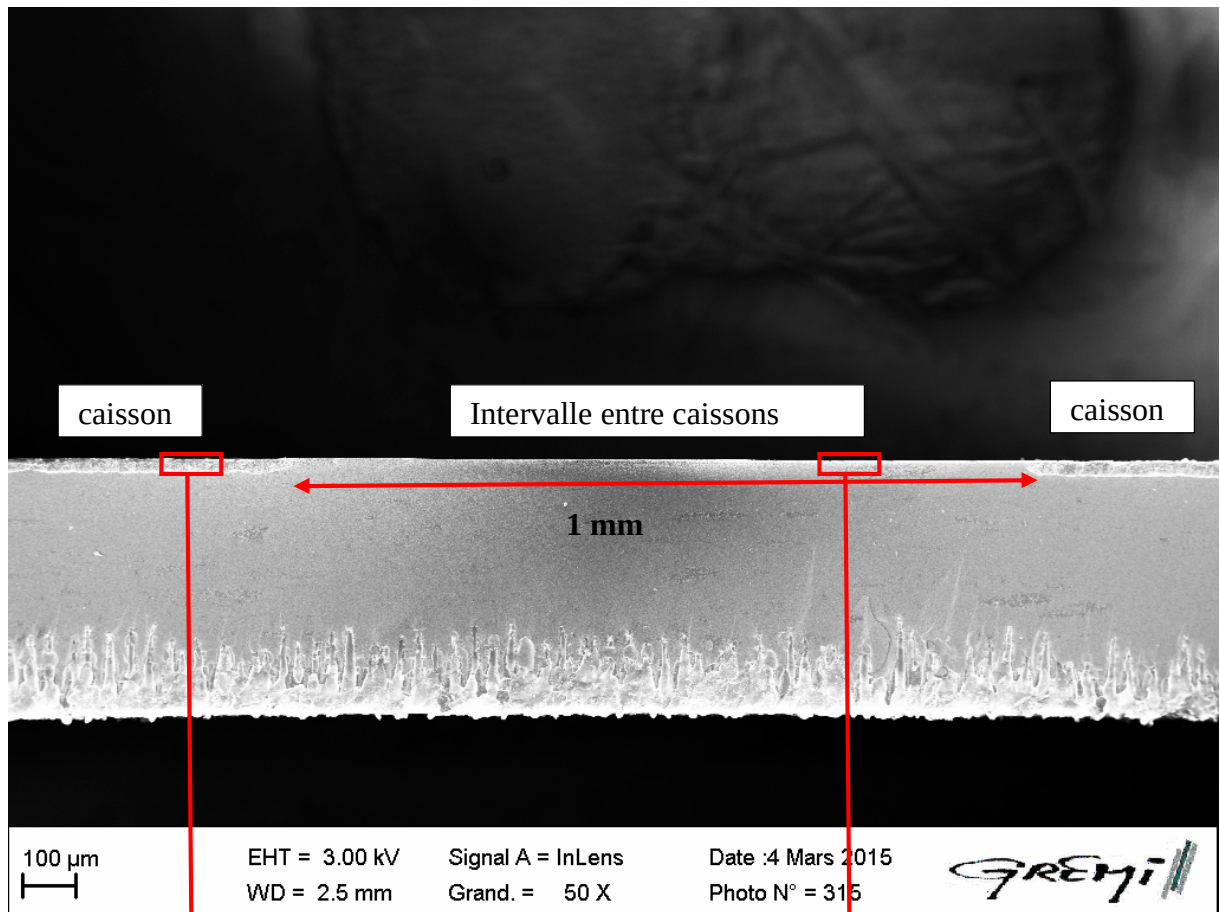


Figure IV-17 : images MEB de la section du fritté intégré montrant deux caissons conducteurs séparés par zone isolante de 1 mm.

IV.3.7.1. Influence de la température de recuit sur la profondeur du caisson conducteur

Après enlèvement de l'aluminium résiduel en surface, des observations MEB ont été réalisées sur la section du fritté intégré afin d'évaluer la profondeur de pénétration de l'aluminium dans le fritté. Les profils de température utilisés (figure IV-15) sont similaires à ceux utilisés pour les recuits de métallisation et formation de BSF dans les cellules solaires. La figure IV-18 donne l'épaisseur du caisson en fonction de la variation du pic de température. Elle montre que la profondeur de diffusion et de recristallisation du caisson est fortement influencée par le pic de température. En effet, les caissons conducteurs dans le substrat fritté intégré sont constitués d'un alliage Al-Si, il est obtenu avec le recuit à une haute température, supérieure à celle de l'eutectique Al-Si (577°C) et celle de la fusion de l'aluminium (660°C), avec un temps de recuit très court [16]. Pendant le recuit, il se produit une interdiffusion des atomes de silicium dans la matrice d'aluminium, conduisant à la recristallisation du substrat de silicium fritté poreux, et la formation d'un contact ohmique (caisson conducteur) dont l'épaisseur est définie par le pic de la température du recuit.

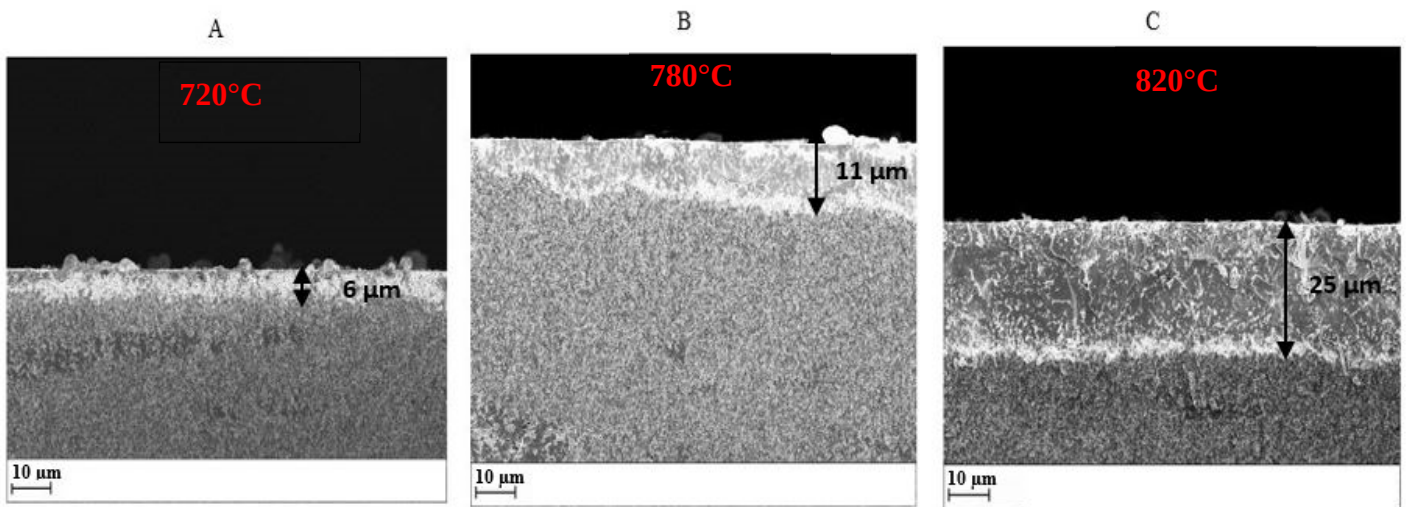


Figure IV-18 : Profondeur du caisson conducteur en fonction du pic de température de recuit. (A) : 720°C ; (B) : 780°C ; (C) : 820°C [7].

Il a été montré dans la littérature que la diffusivité de l'aluminium dans le silicium est supérieure à celle du silicium dans l'aluminium [18]. Cependant, la présence de pores dans le silicium fritté, essentiellement des pores ouverts et interconnectés entre eux, améliore la pénétration et la diffusion latérale de l'aluminium fondu dans le fritté. En effet, dès que la température de fusion de l'aluminium est atteinte, l'aluminium fondu pénètre rapidement dans le substrat fritté à travers les pores ouverts. La profondeur de pénétration dépend de la

température de recuit [19,20]. Une zone dense, plus ou moins profonde, et fortement dopée est ainsi formée pendant la phase de refroidissement. Ainsi, des épaisseurs de caisson conducteur de 6 μm , 11 μm et 25 μm ont été obtenues avec des pics de température de 720°C, 780°C et 820°C. Dans cette étude, la porosité du substrat fritté est gardée fixe. Cependant, l'influence de celle-ci sur la profondeur de pénétration du métal dopant pourrait également être très importante.

IV.3.7.2 Influence de la température de recuit sur les caractéristiques électriques du fritté intégré

La résistivité du fritté intégré a été caractérisée par la technique de 4 pointes dont le principe de la mesure est schématisé sur la figure IV-19. Un faible courant, de quelques milliampères, est injecté entre les deux pointes extérieures. Une tension est mesurée entre les deux pointes intérieures [17].

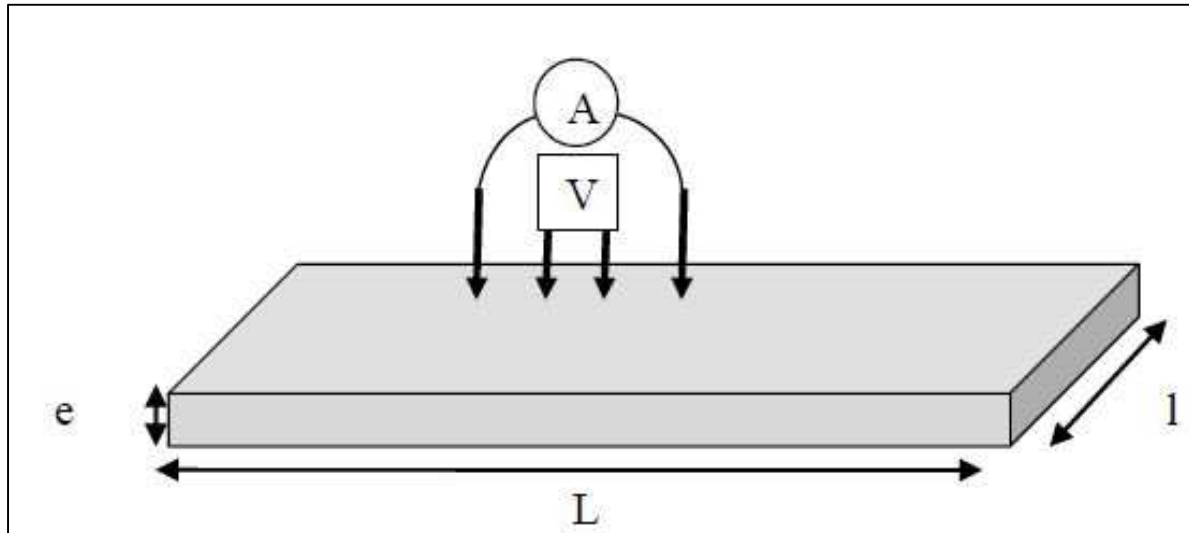


Figure IV-19 : Montage et principe et mesure de la résistivité par la méthode 4 pointes.

En considérant un échantillon d'épaisseur e , plus petite que sa largeur l et que sa longueur L , la résistivité est donnée par :

$$\rho = \left(\frac{V}{I}\right) * e * CF \quad (4)$$

Où ρ (Ωcm) est la résistivité du substrat, V (mV) la tension mesurée au bord des deux pointes extérieures, I (mA) le courant injecté. CF est le facteur de forme, il dépend de la distance entre les pointes de mesure, de la forme et des dimensions du matériau. Si l'espacement entre les pointes de mesure est petit devant la longueur et la largeur de l'échantillon, alors le facteur de correction est égal à $\pi/\ln 2$.

Dans notre cas, le calcul de la résistivité électrique des caissons conducteurs a été réalisé en tenant compte les épaisseurs de ces derniers, déterminées par les observations MEB réalisées

en coupe des échantillons. Le [tableau IV-6](#) montre l'évolution des caractéristiques électriques du fritté intégré en fonction du pic de température du recuit. La résistance entre les caissons a été mesurée au multimètre, plus elle est grande, plus le risque d'avoir un courant de fuite entre caissons est diminué.

Tableau IV-6 : caractéristiques électriques du fritté intégré en fonction de la variation du pic de température de recuit

Température de recuit (°C)	Résistivité du caisson ($\Omega \cdot \text{cm}$)	Résistance entre caissons conducteurs (Ω)
720	$3,7 (+/- 0,9) \times 10^{-5}$	$15 (+/- 0,6) \times 10^5$
780	$11 (+/- 0,7) \times 10^{-5}$	$2,2 (+/- 0,8) \times 10^5$
820	$32 (+/- 1) \times 10^{-5}$	$2 (+/- 0,6) \times 10^5$

Comme présenté dans le [tableau IV-6](#), de très faibles valeurs de résistivités électriques, de l'ordre de $10^{-5} \Omega \cdot \text{cm}$ ont été obtenues dans la gamme de température de recuit étudiée. De même, des résistances élevées entre caissons, supérieures $1.10^5 \Omega$ ont été mesurées. Cependant, on note une légère baisse de la conductivité électrique (une augmentation de la résistivité) avec l'augmentation de la température du recuit. Cette baisse de la conductivité est attribuée à l'oxydation de la surface du caisson pendant le traitement. Le phénomène d'oxydation de surface, caractérisée par le changement de couleur de la surface du caisson, est d'autant plus important que la température de recuit est élevée. Nous rappelons que les recuits thermiques ont été effectués sous atmosphère ambiante. Par ailleurs, une légère diminution de la résistance électrique entre les caissons conducteurs a été observée. Celle-ci est attribuée à une légère diffusion latérale de l'aluminium à travers les canaux interconnectés de porosités, ce qui réduirait légèrement l'espacement entre les caissons et par conséquent la résistance électrique entre ces derniers.

IV.3.8. Réalisation de prototypes i-Cell sur substrat fritté intégré

Dans une première approche, différents prototypes de cellules intégrées ont été réalisés en reportant de cellules standards (commerciales) sur le substrat fritté intégré bas coût afin de valider le concept. Pour cela, des cellules solaires standards, de dimension $156 \times 156 \text{ mm}^2$, élaborées sur substrats Cz de silicium monocristallin de type P ont été utilisées. Ces dernières, présentant des rendements moyens de conversion photovoltaïque supérieurs à 19%, ont été

ensuite découpées en plusieurs cellules élémentaires, ou sous-cellules de dimension (156 x 38,5 mm²) par le biais d'un laser Rofin (1064 nm). Les différentes sous-cellules obtenues ont été individuellement caractérisées. La caractéristique I(V) d'une sous-cellule est présentée dans les figures IV-22 & IV-23. Les sous-cellules sont ensuite assemblées et interconnectées en série sur le substrat fritté intégré. L'assemblage des sous-cellules sur le fritté intégré a été faite à l'aide d'une pâte de silicone conductrice. L'interconnexion entre la face avant et la face arrière des sous-cellules a été réalisée à l'aide d'un ruban de cuivre étamé

Deux structures d'i-Cell ont été proposées afin d'étudier l'influence du caisson conducteur sur la performance de l'i-Cell. Ces structures ont été réalisées sur des substrats frittés intégrés avec des caissons d'environ 20 µm d'épaisseur.

- Dans la première structure d'i-Cell, que nous appellerons i-Cell 1, et présentée sur la Figure IV-20, le caisson conducteur joue le rôle d'électrode en face arrière de chacune des sous-cellules. L'interconnexion entre la face avant d'une sous-cellule et le caisson conducteur est assurée par le soudage d'un ruban de cuivre étamé de part et d'autre.

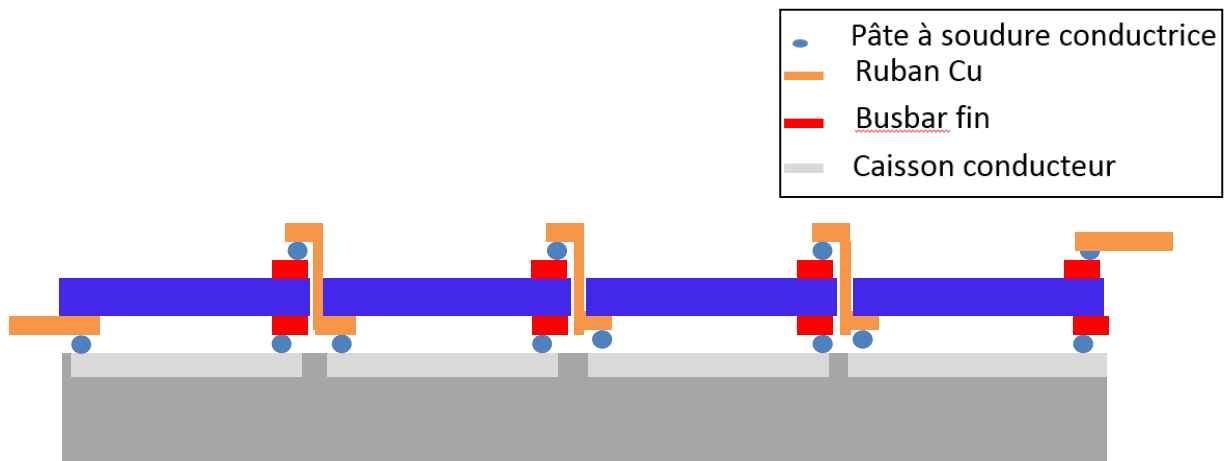


Figure IV-20 : Structure du prototype i-Cell 1

- Dans la seconde structure, que nous nommerons i-Cell 2, et présentée sur la Figure IV-21, le caisson conducteur ne joue aucun rôle, l'interconnexion et la conduction électrique entre la face avant d'une sous-cellule à la face arrière de la sous-cellule adjacente est assurée par le ruban de cuivre qui traverse toute la largeur de la sous-cellule.

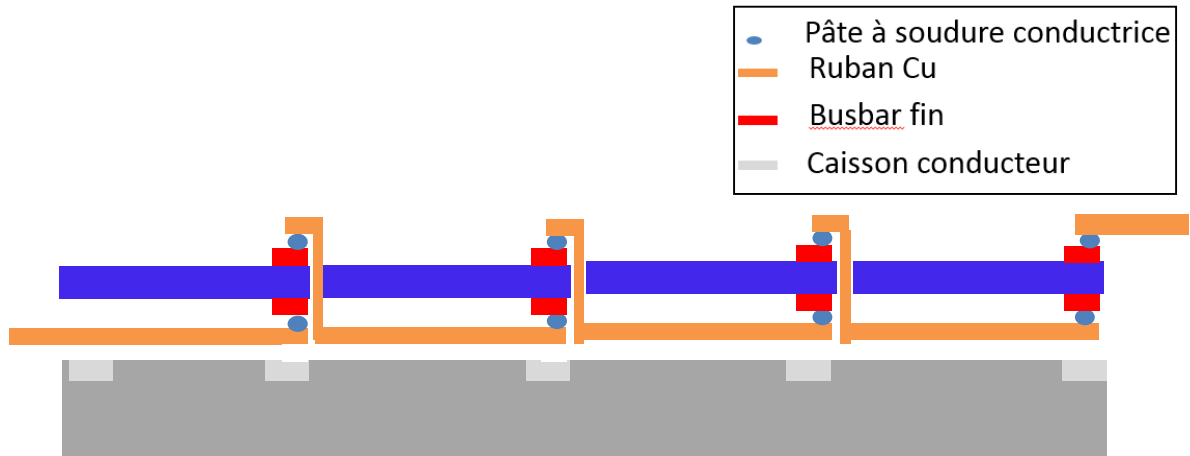


Figure IV-21 : Structure du prototype i-Cell 2

IV.3.9. Résultats de mesures des performances des premiers prototypes d'i-Cells réalisés

Dans le cadre de la réalisation des prototypes d'i-Cells et de l'étude de l'influence des caissons conducteurs sur la performance de ces derniers, six prototypes de la structure 1 et quatre de la structure 2 ont été réalisés. Les performances des i-Cells ont été déterminées grâce au simulateur solaire de S'Tile. Celui-ci a été réadapté en interne, en intégrant un diviseur de tension afin pouvoir mesurer des cellules à haute tension comme dans le cas des i-Cells. Les performances d'i-Cells de la structure 1 et 2 sont respectivement présentées dans les [tableaux IV-7 et IV-8](#).

Tableau IV-7 : Caractéristiques de la structure de l'i-Cell 1

Structure 1	V_{oc} (V)	I_{sc} (A)	R_s (m Ω)	R_{sh} (Ω)	FF (%)	η (%)
1	2,52	2,35	37,1	125	70,5	17,1
2	2,53	2,36	45,6	136,8	68,5	16,8
3	2,53	2,36	32	118,9	71,7	17,6
4	2,54	2,36	40,6	125,3	69,3	17,0
5	2,54	2,36	22	125	75,3	18,5
Moyenne	2,53	2,358	35,46	126,2	71,06	17,4

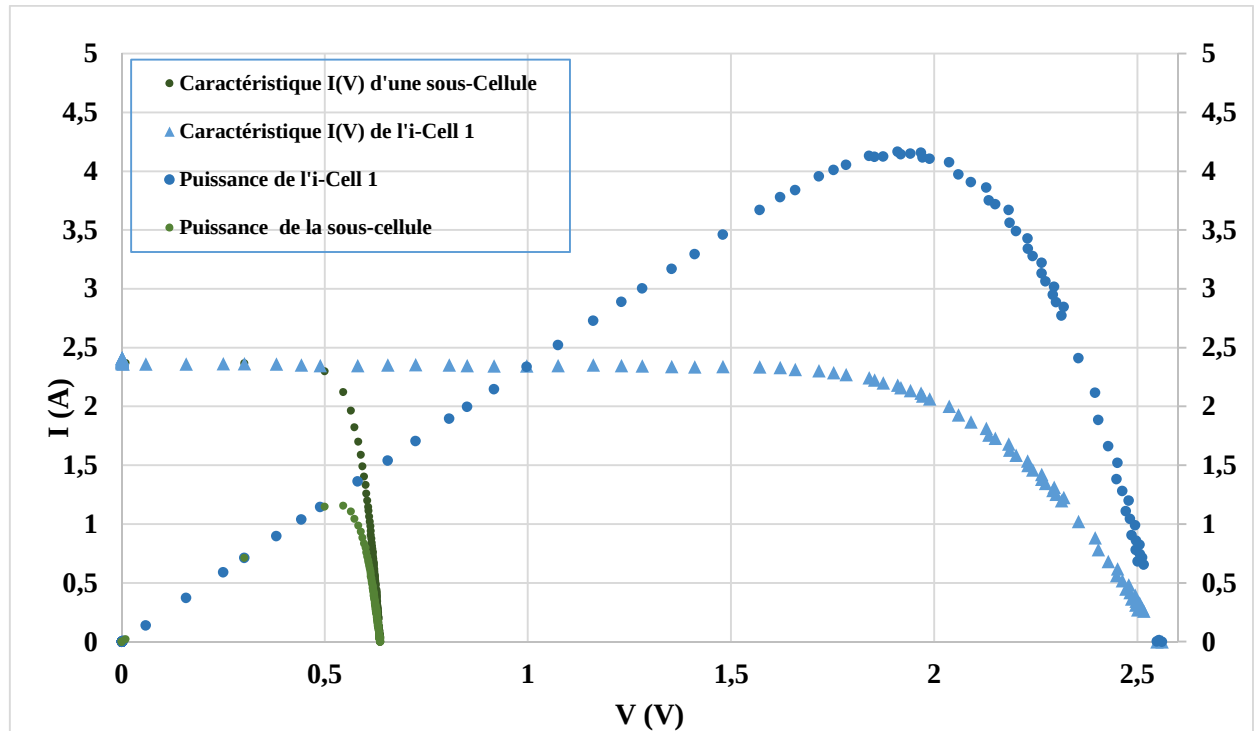


Figure IV-22 : Caractéristiques I(V) de l'i-Cell 1 de la structure 1

Tableau IV-8: Caractéristiques de la structure d'i-Cell 2

Structure 2	Voc (V)	Isc (A)	Rs (mΩ)	Rsh (Ω)	FF (%)	η (%)
1	2,52	2,36	16,9	132,5	76,5	18,0
2	2,52	2,36	19,2	116,6	76,1	18,7
3	2,53	2,36	18,9	118	76,1	18,6
4	2,53	2,36	48,6	109,8	67,2	16,5
Moyenne	2,53	2,36	25,9	119,2	74,0	18,0

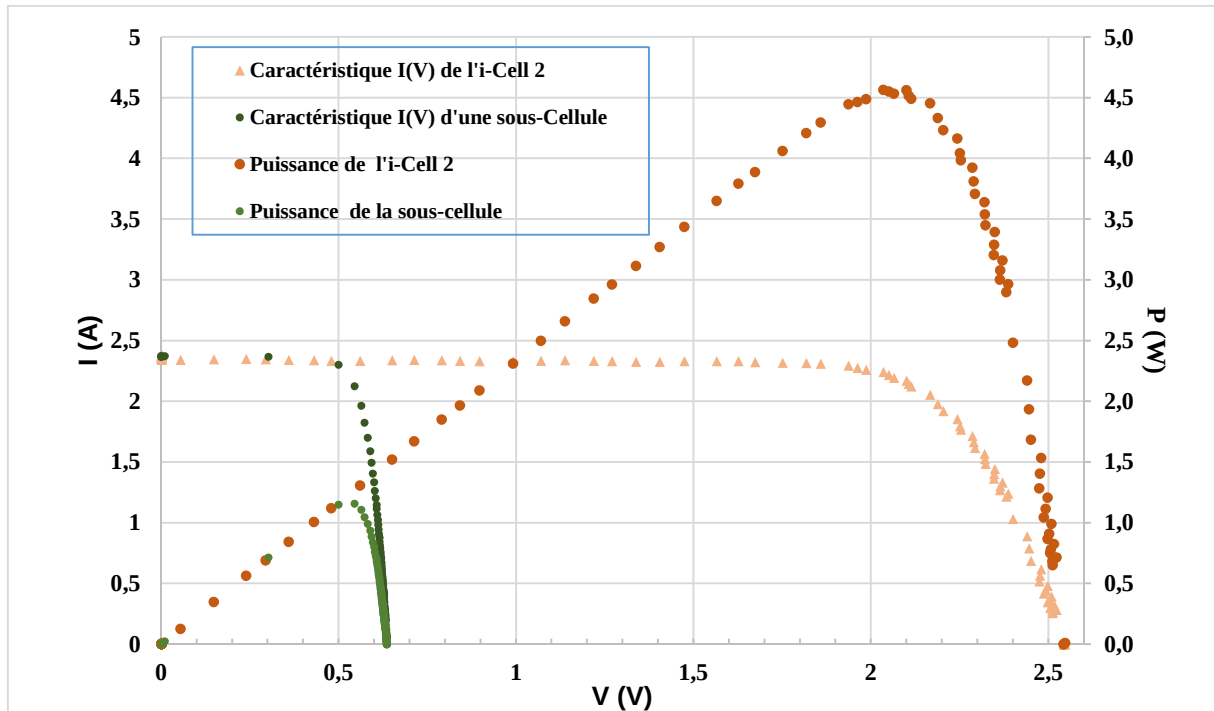
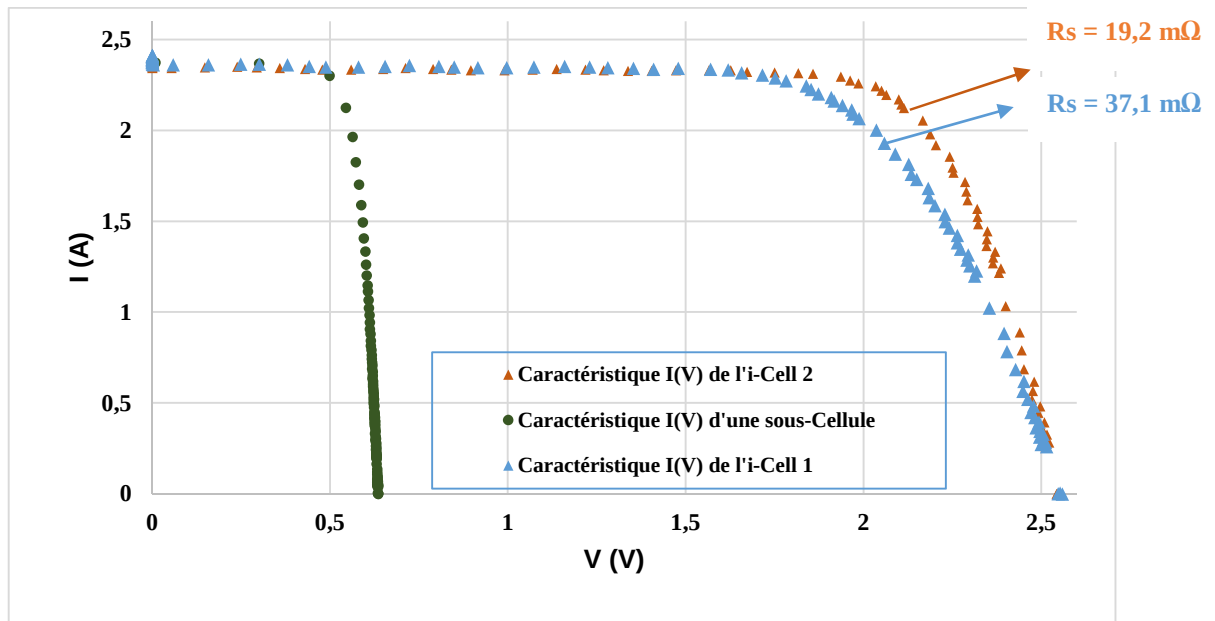


Figure IV-23 : Caractéristiques I(V) de l'i-Cell 2 de la structure 2

Les figures IV-23&IV-24 représentent les caractéristiques I(V) ainsi que les courbes de puissances correspondantes des deux structures d'i-Cell étudiées. Les courbes caractéristiques de la sous-cellule ont été également dressées en guise de comparaison. Les courbes I(V) des i-Cells mettent en évidence l'effet de l'association en série de 4 sous-cellules. En effet, comme montré sur les figures, la tension de circuit ouvert (Voc) de l'i-Cell représente la somme des Voc des 4 cellules élémentaires tandis que les courants restent identiques dans les deux cas.

IV.3.4.2. Synthèse & perspectives :

De hauts rendements moyens de conversion PV 17,4 % et de 18 % ont été respectivement obtenus avec la structure 1 et la structure 2 de l'i-Cell. Nous remarquons que la principale différence de mesures réside au niveau de la résistance R_s des différentes structures présentées ci-dessus : la valeur moyenne de R_s du prototype de la structure 1 est environ 30 % plus élevée que celle du prototype de la structure 2. Cette différence est mise en évidence en comparant les courbes (Figure IV-24).



Nous rappelons que l'unique variante entre ces deux structures réside dans la manière où le courant est conduit entre la face avant et la face arrière des sous-cellules.

Dans la première le caisson est utilisé comme électrode face arrière de l'i-Cell, tandis que dans la seconde c'est la métallisation arrière de la cellule commerciale qui assure rôle d'électrode face arrière via le ruban de cuivre.

Ces relativement hautes valeurs de R_s dans la structure 1 montrent que la conduction du courant dans le caisson est légèrement moins efficace que dans le cas des métallisations face arrière (structure 2). Ceci induit des pertes résistives qui engendrent une baisse du rendement moyen d'environ 0,6 point par rapport à l'i-Cell 2. Cette baisse s'explique d'une part par l'oxydation de la surface des caissons et d'autre part par la qualité des interconnexions. L'optimisation de ces paramètres permettrait de diminuer les résistances séries au niveau des caissons et par conséquent augmenter le rendement de conversion.

IV.4. Conclusions du chapitre IV

Ce chapitre a été consacré à l'étude et au développement de la cellule solaire intégrée (i-Cell) réalisée sur substrat fritté bas coût. Tout d'abord des résultats prometteurs de rendements de conversion ($>15\%$) ont été démontrés sur des cellules réalisées à partir de la technologie du wafer Mono-EQ®, c'est-à-dire sur une cellule réalisée par transfert de feuilles minces de silicium épitaxié ($50\ \mu\text{m}$) sur le substrat fritté. Cette technologie nécessite encore du développement au niveau de la qualité de couche de Si épitaxiée et au niveau du procédé cellule. Néanmoins, le rendement de cellules sur substrat pourrait être nettement amélioré en utilisant la seconde variante du wafer mono-EQ®, à savoir le report de feuilles minces de Si issues du

sciage fin diamanté. Par ailleurs, tous les procédés employés dans cette variante sont matures et disponibles à l'échelle industrielle, contrairement à la variante du wafer Mono-EQ® utilisant l'épithaxie de Si pour la couche active de la cellule.

Dans un second temps, la structure de la cellule intégrée a été présentée et étudiée. Dans cette étude, nous avons exposé le procédé de préparation du substrat fritté intégré, autrement dit : le procédé d'intégration de zones localement conductrices dites « caissons conducteurs » au sein d'un substrat fritté isolant. L'influence des paramètres de recuit sur les propriétés électriques et microstructurales du caisson ont été investiguées et discutées. Des profondeurs de caisson allant de 6 à 25 μm ont été obtenues dans la gamme de températures étudiée (entre 720 et 820°C).

Dans la troisième partie de ce chapitre des prototypes d'i-Cells ont été réalisés sur le substrat fritté intégré afin de valider ce concept. Les rendements moyens de conversion photovoltaïques très prometteur $>17\%$ ont été obtenus. Ces rendements sont limités par la résistance série induite entre autres par la qualité du caisson et celle des interconnexions. Cependant, un rendement supérieur à 18,5 % avec une valeur de R_s relativement basse (22 $\text{m}\Omega$) a été obtenu. Ce résultat montre qu'il est bien possible d'obtenir de hauts rendements de conversion de l'i-Cell avec des procédés optimisés.

Bibliographie du chapitre IV

- [1] A. Straboni, Electronic structure including an epitaxial layer on sintered silicon, WO/2010/112782, 2010.
- [2] P. Bellanger, Étude d'un procédé de recristallisation de plaquettes de silicium fritté pour la réalisation de cellules solaires photovoltaïques, Thèse de doctorat, INSA de Lyon, 2010.
- [3] A. Straboni, E. Turlot, Photovoltaic module including integrated photovoltaic cells, US20110186111 A1, 2011.
- [4] L. Candreia, Meyer Burger AG et ses solutions pour l'industrie solaire.
- [5] M. Reuter, W. Brendle, O. Tobail, J.H. Werner, 50µm thin solar cells with 17.0% efficiency, Sol. Energy Mater. Sol. Cells. 93 (2009) 704–706.
- [6] P. Kapur, M. Moslehi, A. Deshpande, V. Rana, J. Kramer, et al., A Manufacturable, Non-Plated, Non-Ag Metallization Based 20.44% Efficient, 243cm² Area, Back Contacted Solar Cell on 40µm Thick Mono-Crystalline Silicon, (2013).
- [7] Y. Boye, G. Sun, F. Chancerel, A. Sow, J.-B. Brette, A. Malinge, et al., Realization of Conductive Wells for Rear Side Electrical Contact of Integrated Solar Cell, Energy Procedia. 77 (2015) 440–445.
- [8] F. Chancerel, Y. Boye, G. Sun, A. Sow, J.-B Brette, B. Sionneau., et al., Integrated Solar Cell Based on Monocrystalline Si Thin Film Transferred to Low Cost Sintered Si Wafers, (2014).
- [9] S.M. Sze, K.Ng. Kwok., Physics of semiconductor devices, 3rd ed, Wiley-Interscience, Hoboken, N.J, 2007.
- [10] P.J. Gress, S. Varlamov, Quantification of Power Losses of the Interdigitated Metallization of Crystalline Silicon Thin-Film Solar Cells on Glass, Int. J. Photoenergy. 2012 (2012) 1–6.
- [11] P. Gress, Metallisation of crystalline silicon thin-film solar cells: power losses, optimisation and interconnection, 2012.

- [12] A.R. Burgers, New metallisation patterns and analysis of light trapping for silicon solar cells, Energieonderzoek Centrum Nederland, [Petten], 2005.
- [13] G. Beaucarne, G. Schubert, J. Hoornstra, Summary of the 4th Workshop on Metallization for Crystalline Silicon Solar Cells, Energy Procedia. 43 (2013) 2–11.
- [14] Stietka, M., Summhammer, J., Wire Cell: A More Efficient Silicon Solar Cell and Module, (2008).
- [15] S. M. Iftiquar , Y. Lee, M. Ju, N. Balaji, S.K. Dhungel, J. Yi, Fabrication of Crystalline Silicon Solar Cell with Emitter Diffusion, SiN_x Surface Passivation and Screen Printing of Electrode, in: I. Yun (Ed.), Photodiodes - Fundam. Appl., InTech, 2012.
- [16] V.A. Popovich, M.P.F.H.L. van Maris, M. Janssen, I.J. Bennett, I.M. Richardson, Understanding the Properties of Silicon Solar Cells Aluminium Contact Layers and Its Effect on Mechanical Stability, Mater. Sci. Appl. 04 (2013) 118–127.
- [17] L. Sardi, S. Bargioni, C. Canali, P. Davoli, M. Prudenziati, V. Valbusa, Some features of thick film technology for the back metallization of solar cells, Sol. Cells. 11 (1984) 51–67.
- [18] J.O. McCaldin JO, Diffusivity and Solubility of Si in the Al Metallization of Integrated Circuits, Appl. Phys. Lett. 19 (1971) 524.
- [19] E. Urrejola, K. Peter, H. Plagwitz, G. Schubert, Distribution of Silicon in the Aluminum Matrix for Rear Passivated Solar Cells, Energy Procedia. 8 (2011) 331–336.
- [20] E. Urrejola, K. Peter, H. Plagwitz, G. Schubert, Silicon diffusion in aluminum for rear passivated solar cells, Appl. Phys. Lett. 98 (2011) 153508.

Conclusion générale et perspectives

Ce projet de thèse a été consacré à l'étude et au développement de la technologie innovante de la cellule solaire intégrée (ou i-Cell) réalisée sur substrat de silicium fritté bas coût. La cellule intégrée est une cellule solaire à faible courant et à haute tension de sortie ; elle est obtenue en connectant en série, sur un même « substrat de silicium fritté », plusieurs sous-cellules produites à partir de feuilles minces de silicium cristallin. Le substrat de silicium fritté joue un double rôle pour le bon fonctionnement de l'i-Cell : il combine la fonction de support mécanique de l'i-Cell et celle d'électrode en face arrière pour les différentes sous-cellules via des caissons conducteurs.

Ce travail a nécessité dans une première partie une étude bibliographique approfondie sur les principales techniques de fabrication de cellules solaires ; nous avons notamment insisté sur les technologies « kerfless » de fabrication de couches minces de silicium cristallin sur substrats étrangers. En effet, ces technologies de fabrication, tout comme celle étudiée dans la thèse (i-Cell), permettent de contourner l'étape de sciage de lingot pour la fabrication des plaquettes, où plus 50% du lingot est perdu auquel s'ajoutent les coûts élevés des abrasifs de sciage.

Dans le second chapitre, après avoir présenté le procédé S'Tile de fabrication de plaquettes à partir de lits de poudres de silicium, ainsi que les dispositifs expérimentaux de frittage utilisés lors de ces travaux de thèse, nous avons dressé un état de l'art exhaustif de tous les travaux antérieurs à cette thèse portant sur l'utilisation du substrat de silicium fritté pour des applications photovoltaïques. Les limites technologiques de ces derniers ont été présentées. C'est dans ce contexte que se situe ce travail de thèse, avec l'objectif de contourner les limites de rendements de conversion rencontrés dans les travaux antérieurs et de démontrer la faisabilité de la technologie i-Cell.

Dans le troisième chapitre, l'oxydation thermique de substrats de silicium frittés, issus du frittage de poudre de silicium de qualité métallurgique (UMG) a été étudié. Il faut noter qu'au démarrage de cette thèse, l'étude de l'oxydation du silicium fritté n'a fait l'objet d'aucun projet de recherche au sein de la communauté scientifique. Ce type de substrats étant riche en impuretés métalliques dopantes, une étape d'oxydation thermique est donc nécessaire pour intégrer une phase isolante en vue de la réalisation du substrat intégré. Dans un premier temps, un état de l'art sur l'oxydation thermique de silicium a été présenté. Puis le procédé expérimental de préparation des poudres et de réalisation des substrats frittés utilisé dans cette étude a été

décrit. Les résultats expérimentaux de frittage sont exposés et discutés. Des substrats frittés avec des porosités allant de 10 % à 28 % ont été obtenus selon la condition de frittage utilisée.

Dans la seconde partie de ce même chapitre, nous avons étudié la cinétique d'oxydation thermique (en milieu humide) des substrats frittés préalablement produits dans différentes conditions de frittage. Dans ce travail, nous avons particulièrement insisté sur les paramètres gouvernant la vitesse d'oxydation du substrat fritté, tels que la porosité initiale du substrat, la température et le temps d'oxydation. L'influence de chacun de ces paramètres a été présentée et discutée. Nous avons également montré que la cinétique d'oxydation du substrat de silicium est fortement influencée par sa porosité initiale et sa surface spécifique (surface de silicium disponible pour la réaction chimique d'oxydation). Plus le substrat fritté est poreux, plus sa surface spécifique est importante. Par conséquent la cinétique d'oxydation est accélérée. Une chute de porosité est constatée en fonction des paramètres d'oxydation. Ce phénomène est mis en évidence par des observations MEB et TEM et expliqué par un processus de croissance de la couche d'oxyde autour des grains de Si et dans les canaux de porosité conduisant au rétrécissement progressif de ces derniers. Par ailleurs, pendant la phase d'intégration des caissons sur le substrat fritté oxydé, nous avons constaté une augmentation brutale de la conduction entre caissons, qui se traduit par la création d'un chemin de conduction électrique entre caissons. Ce phénomène a été expliqué par le fait que les grains de silicium ne sont pas isolés par une barrière de SiO_2 et un chemin de conduction est créé par des ponts entre les grains. D'autres voies d'étude ont été menées afin de pallier ce problème, tout en tentant de conserver un coût de production du substrat le plus bas possible. Ces essais ont consisté à réaliser des frittages en bicouche, où l'utilisation de la poudre de qualité solaire est fortement réduite, ou encore en oxydant les poudres avant le frittage. Ces deux voies ont donné des résultats encourageants pour la production de substrats frittés poreux, qui sont isolants et peuvent être produits à bas coût.

Le quatrième chapitre de ce manuscrit est axé sur le développement de la cellule solaire intégrée (i-Cell) réalisée sur substrat fritté. Dans un premier temps, des résultats prometteurs de rendements de conversion ($> 15\%$) ont été obtenus à partir de cellules réalisées sur le substrat « wafer mono-Equivalent » (Mono-EQ®) qui est fabriqué en transférant des feuilles minces de silicium épitaxié ($50\text{ }\mu\text{m}$) sur le substrat fritté. Cette technologie est une variante de l'i-Cell qui permettrait de réduire encore davantage la part de coût dû au silicium purifié.

Dans la deuxième partie de ce chapitre, nous avons présenté les résultats de l'étude des procédés permettant de réaliser la structure de la cellule intégrée. Le procédé de production du substrat

fritté intégré a consisté en l'intégration de zones localement conductrices, ou « caissons conducteurs » au sein du substrat fritté poreux et isolant. Ces caissons conducteurs ont été réalisés par recuit de motifs d'aluminium imprimés par sérigraphie sur le substrat fritté isolant, suivie d'un recuit rapide de type « recuit de firing ». Le substrat fritté a été délibérément laissé poreux en contrôlant les conditions de frittage afin de faciliter la perméation et la diffusion de l'aluminium fondu pendant le recuit. L'influence des paramètres de recuit sur les propriétés électriques et microstructurales du caisson ont été investiguées et discutées. Des profondeurs de caisson allant de 6 à 25 μm ont été obtenues dans la gamme de température étudiée (entre 720 et 820°C). Les profondeurs et les conductivités des caissons permettent de transférer sans perte ohmique le courant circulant d'une sous-cellule à la suivante au sein de la cellule intégrée.

Dans la troisième partie de ce même chapitre des prototypes d'i-Cells ont été réalisés sur le substrat fritté intégré fabriqué au cours de cette thèse. Dans une première approche, des cellules commerciales de silicium monocristallin avec des rendements moyens de conversion de 19,3% ont été utilisées afin de valider le concept de l'i-Cell. Ces cellules ont été découpées en sous-cellules, assemblées et connectées en série sur le substrat de silicium fritté intégré. Des rendements moyens de conversion photovoltaïque très prometteurs (>17 %) ont été ainsi obtenus. Les rendements de ces premiers prototypes sont limités par la résistance série (R_s) engendrées entre autres par la faible conductivité des interconnexions. Cependant, un rendement supérieur à 18,5 % avec une valeur de R_s relativement basse (22 m Ω) a été néanmoins obtenu sur un des prototypes réalisés. Ce résultat montre qu'il est tout à fait possible d'obtenir de hauts rendements de conversion en optimisant la qualité des interconnexions.

Les premiers prototypes d'i-Cells réalisés au cours de cette thèse ont permis de démontrer la faisabilité de cette technologie de cellule à haut rendement de conversion. Leur fabrication peut être obtenue avec des coûts de production très réduite, permettant de concurrencer sur le plan économique la technologie standard de fabrication de cellules. En effet, tous les procédés employés dans la technologie i-Cell sont des procédés matures et disponibles pour la production à l'échelle industrielle.

Enfin, nous avons montré que la technologie i-Cell offre plusieurs avantages. Elle dispose d'un fort potentiel de rendement de conversion grâce aux propriétés électroniques indéniables qu'offre l'utilisation de feuilles minces de silicium monocristallin comme couche active de la cellule. De plus, la décomposition de la couche active en cellules de faible surface dans la structure i-Cell, permet de produire sur une surface standard (243 cm²) une dans laquelle circule

un faible courant (environ $\frac{1}{4}$ du courant d'une cellule standard, soit environ 2,4 A). Ceci permet de fortement réduire la consommation de métaux qui collectent le courant au sein de la cellule (argent) et entre les cellules du module (cuivre). De plus le fait de s'affranchir des busbars en argent permet d'éviter le masquage de la lumière et par conséquent augmenter la puissance de la cellule intégrée.

ANNEXES

ANNEXE I : Techniques de caractérisations utilisées

A-I.1. Techniques de caractérisations microstructurales des poudres

A-I.1.1. La granulométrie laser

La granulométrie laser permet de déterminer la distribution granulométrique des particules en suspension dans un liquide. Son principe est basé sur la diffraction de Fraunhofer et sur les théories de dispersion. Lorsqu'un faisceau laser traverse un échantillon de particules dispersées, on peut observer des franges de diffractions. L'intensité du rayonnement diffracté et l'angle de diffraction sont fonction de la taille des particules. Ainsi, plus la particule est petite, plus l'angle de diffraction est important.

Un granulomètre laser *Beckman Coulter LS100Q* a été utilisé pour déterminer la répartition granulométrique des différentes poudres utilisées dans le cadre de cette thèse. Pour la mesure, quelques milligrammes de poudre sont préalablement dispersés et dilués dans un milieu liquide (eau). La solution à étudier est ensuite injectée dans la cellule de mesure, constituée de verres à faces parallèles éclairée par un faisceau de longueur d'onde 630 nm. Chaque particule passant devant le faisceau lumineux est déviée la lumière qui est ensuite analysée par des détecteurs. Le schéma de principe de la granulométrie laser est montré sur la [figure A-1](#). Ainsi, la lumière diffractée est focalisée par plusieurs lentilles sur un détecteur multi-éléments disposé en anneaux concentriques. Le signal fourni par chaque élément du détecteur est proportionnel au flux lumineux qu'il reçoit. Il est ensuite numérisé et traité grâce à un algorithme de traitement d'image qui convertit le signal en informations granulométriques.

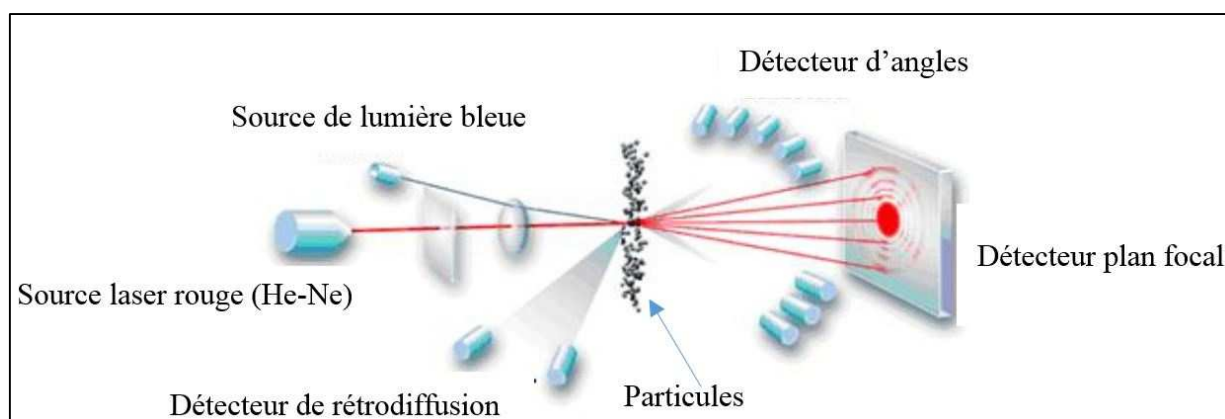


Figure A-1 : Photographie du granulomètre laser Beckman Coulter LS100Q et le schéma du principe de fonctionnement celui-ci. (Source : Beckman Coulter)

A-I.1.2. Mesure de la surface spécifique des poudres par la méthode BET

La surface spécifique d'une poudre est estimée à partir de la quantité d'azote adsorbée en relation avec sa pression à la température d'ébullition de l'azote liquide et sous une pression atmosphérique normale. Le procédé de mesure par physisorption implique le refroidissement de la surface de la poudre mesurée, en utilisant de l'azote pour adhérer à la surface (adsorption), puis le réchauffement de la surface (désorption). Les informations sont alors interprétées selon le modèle de *Brunauer, Emmett et Teller* (méthode *BET*). L'isotherme d'absorption ainsi que la transformée BET correspondante sont alors déduits, ce qui permettra ainsi de déterminer la valeur de la surface spécifique de l'échantillon.

La mesure de la surface spécifique BET des poudres utilisées dans le cadre de ces travaux a été effectuée en utilisant un analyseur SA 3100 Coulter (figure A-2). Cet analyseur est une enceinte compacte constituée d'une part par trois porte-échantillons pour le dégazage de l'échantillon et d'autre part par deux porte-échantillons (tube de saturation et tube d'analyse).

Pour la mesure BET, l'échantillon est pesé et puis dégazé sous un flux d'azote pendant 120 min à 250 °C en le plaçant sur un des trois porte-échantillons de dégazage. Après le dégazage l'analyse proprement dite est faite à la température de l'azote liquide contenu dans un vase Dewar.



Figure A-2: Photographie de l'appareil de mesure de surface spécifique (Coulter SA 3100).

A-I.2. Techniques de caractérisations des substrats de Si frittés

A-I.2.1. Mesure de la porosité par la technique d'Archimède

Cette technique repose sur des pesées successives du même échantillon dans différentes conditions et permet de déterminer la masse volumique apparente et la porosité de l'échantillon. Elle est applicable que si la porosité ouverte est supérieure à 1%.

Protocole expérimental :

- L'échantillon après avoir séché dans une étuve est rapidement pesé, soit M_1 (M_{sec}) la masse correspondante.
- L'échantillon est ensuite placé dans un bêcher contenant un liquide inhibitif (ici de l'eau) ; puis on attend quelques minutes pour s'assurer d'une pénétration totale de l'eau dans les pores. Une deuxième **masse** M_2 ($M_{\text{immergé}}$) qui correspond à la masse obtenue en pesant l'échantillon complètement immergé dans l'eau par l'intermédiaire d'une nacelle en suspension dans le liquide (eau).
- Une troisième masse M_3 ($M_{\text{essuyée}}$) est obtenue après avoir extrait l'échantillon de l'eau et l'avoir immédiatement épongé avec un chiffon absorbant humide et non pelucheux.

Soient :

V_v , le volume vrai du comprimé (volume occupé par la matière solide, à l'exclusion de toute forme de porosité).

V_{po} , le volume des pores ouverts.

V_{pf} , le volume des pores fermés.

$V_a = V_s + V_{po} + V_{pf}$, volume apparent.

ρ_a , la masse volumique apparente.

ρ_{eau} , la masse volumique de l'eau.

ρ_{Si} , la masse volumique du silicium.

P_o , P_f et $P = P_o + P_f$, les porosités ouvertes, fermées et totale de l'échantillon.

On peut donc écrire les relations suivantes :

$$M_2 = \rho_{eau} * V_s$$

$$M_3 = M_1 + \rho_{eau} * V_{po}$$

On obtient les relations suivantes dépendantes de M_1 , M_2 et M_3 .

$$\rho_a = \frac{M_{sec}}{V_a} = \frac{M_{sec}}{(V_v + V_{po} + V_{pf})},$$

Soit en définitive,

$$\rho_a = \frac{M_{sec}}{(M_{ess} - M_{immer})} * \rho_{eau} ,$$

$$P_o = \frac{V_{po}}{V_a} = \frac{M_{ess} - M_{sec}}{M_{ess} - M_{immer}} ,$$

Sachant que la porosité totale est la somme des pores fermés et pores ouverts,

$$P = P_o + P_f = 1 - \frac{\rho_a}{\rho_{Si}} \quad \text{Cela n'implique que la porosité fermée} \quad P_f = P - P_o.$$

A-I.2.2. Mesure de résistivité par la technique des 4 pointes en surface et en transverse

La résistivité 4 pointes classiques, permet de mesurer la résistivité à la surface de l'échantillon. La Figure A-3 représente la photographie du dispositif de mesure des résistivités électriques utilisés lors de ces travaux. Il permet de mesure la résistivité de surface grâce à la méthode classique des 4 pointes basée sur l'équation :

$$\rho = \left(\frac{V}{I}\right) * e * CF \quad ; \text{ Avec } CF = \frac{\pi}{\ln(2)} \quad (1)$$

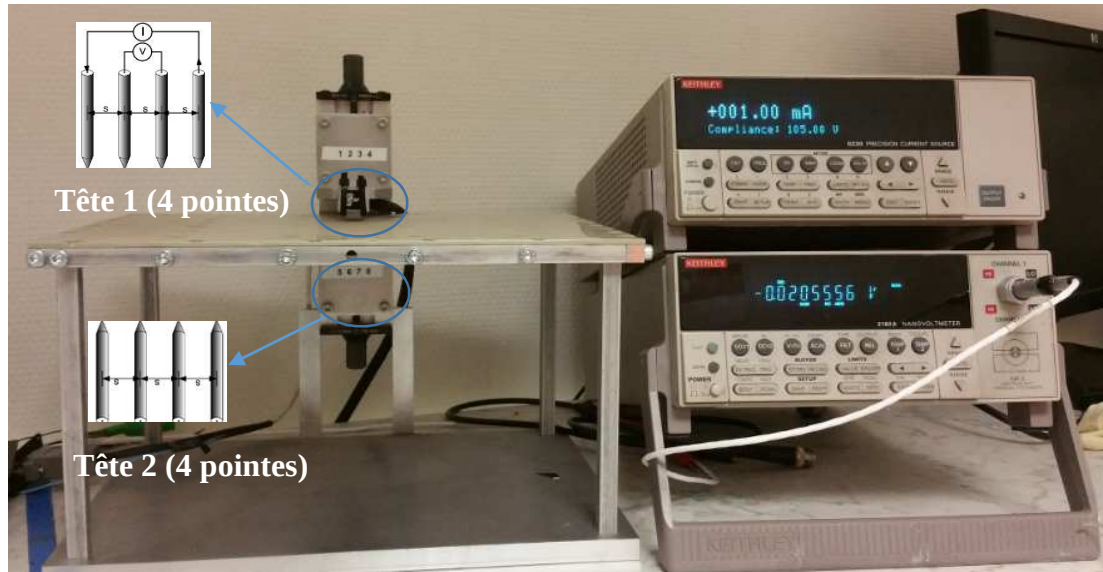


Figure A-3: Photographie de l'appareil de mesure de résistivité en surface et en transverse

La méthode de mesure résistivité e transverse a été développée par S'Tile pour les besoins de mesures de résistivité électrique au travers (dans l'épaisseur) du substrat fritté. Comme illustrée sur la figure ci-dessus, deux têtes de mesures, de 4 pointes chacune sont disposées de la part et d'autre de l'échantillon. Cette méthode est basée sur celle des mesures en 4 pointes, régie par l'équation sur l'équation de l'équation (1).

Le facteur de forme associé à cette configuration a été redéfinie, elle est très de celui des 4 pointes classiques. La figure ci-dessous illustre la répartition des lignes de courant ainsi que les équipotentiels selon les différentes configurations.

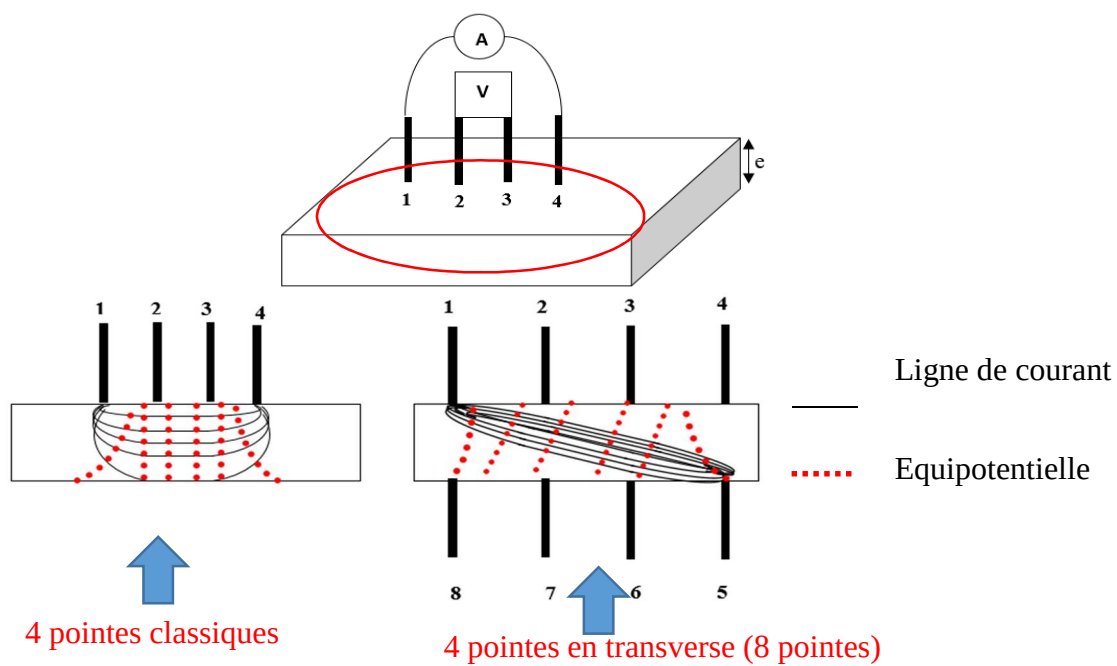


Figure A-4.1 : Réparation des lignes de courant et les équipotentielle suivant la configuration 4 pointes classiques ou 4 pointes en transverse

ANNEXE II : Le modèle de Deal & Grove

A-II-1 Représentation du modèle :

Le mécanisme d'oxydation thermique du silicium a été décrit par le modèle de B.E. Deal et A. S. Grove³, aussi appelé modèle linéaire-parabolique. Le modèle de Deal-Grove, publié en 1965 est considéré comme étant le modèle de base dans le domaine de la cinétique l'oxydation thermique du silicium. C'est le modèle fondateur qui est considéré comme le plus pertinent parmi tous les autres modèles.

Ce modèle, schématisé sur la Figure A-6, considère qu'en présence d'une couche de SiO_2 à la surface d'un substrat de silicium, les molécules de l'agent oxydant (O_2 ou H_2O) provenant de la phase gazeuse, diffusent à travers la couche d'oxyde déjà formée en direction de l'interface Si/SiO_2 où la réaction d'oxydation a lieu. Le processus d'oxydation est donc dominé par le déplacement vers l'intérieur des espèces oxydantes. Comme illustré sur la (Figure A-5), les espèces transportées doivent cependant franchir trois étapes successives, caractérisées par trois mécanismes différents :

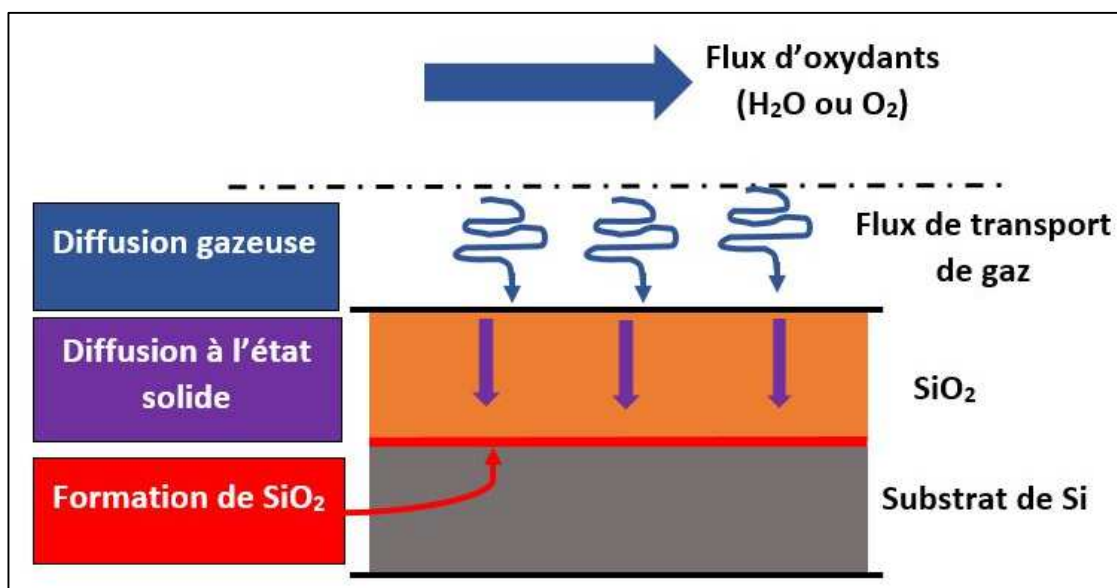


Figure A-5 : Illustration des différents mécanismes se produisant pendant l'oxydation thermique du silicium

- Elles doivent être transportées du volume gazeux jusqu'à l'interface oxyde/gaz.
- Elles doivent diffuser à travers la couche d'oxyde déjà formée.
- Enfin, elles doivent réagir à la surface du silicium.

³ B.E. Deal, A.S. Grove, General Relationship for the Thermal Oxidation of Silicon, J. Appl. Phys. 36 (1965) 3770.

Chacun de ces mécanismes peut être décrit par un flux indépendant :

- F_1 : flux de l'espèce oxydante à l'interface gaz/SiO₂.
- F_2 : flux de diffusion de l'espèce oxydante dans l'oxyde déjà formé.
- F_3 : flux relatif à la réaction chimique d'oxydation à l'interface Si/SiO₂.

En régime permanent, les trois flux correspondant à ces trois mécanismes sont égaux. Le flux total est $F = F_1 = F_2 = F_3$.

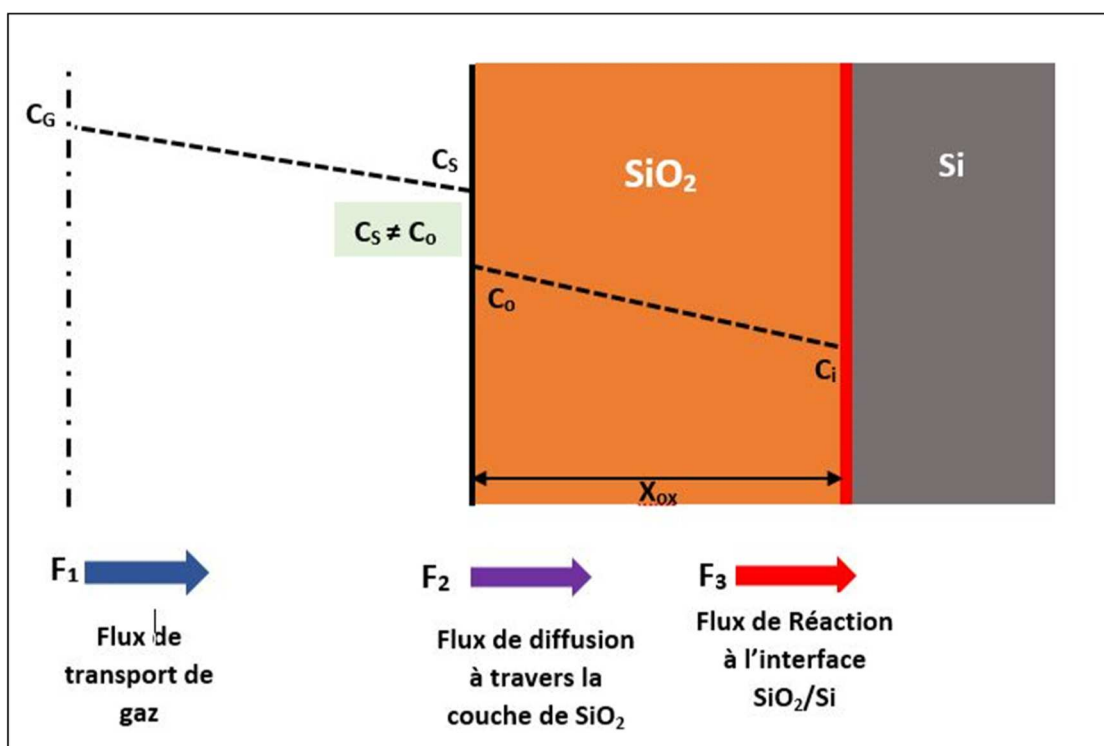


Figure A-6 : Représentation schématique du modèle de Deal et Grove présentant les différents flux nets F_1 , F_2 et F_3 relatifs aux trois domaines franchis par l'espèce oxydante lors de la croissance de l'oxyde thermique de silicium

❖ Le Flux à l'interface Gaz/Oxyde F_1 : Ce flux représente le transport des agents oxydants du gaz vers la surface de l'oxyde. Il est supposé proportionnel à la différence entre la concentration de l'espèce oxydante dans le gaz C_G et cette même concentration tous près de la surface de l'oxyde C_S .

$$F_1 = h_G \cdot (C_G - C_S) \quad (\text{III-5})$$

Où h_G est le coefficient du transfert de masse en phase gazeuse.

On admet qu'en absence de dissociation à l'interface gaz/oxyde, les espèces diffusantes à travers la couche d'oxyde sont sous forme moléculaire. La loi de Henry peut donc s'appliquer. Cette loi stipule que, à l'équilibre, la concentration d'une espèce à l'intérieur d'un solide est proportionnelle à la pression partielle de cette espèce dans le gaz environnant. Ceci permet

d'admettre que la concentration à la surface extérieure de l'oxyde C_0 est proportionnelle à la pression partielle de l'oxydant tout près de la surface de l'oxyde p_S . Ceci implique :

$$C_0 = H \cdot p_S \quad (\text{III-6})$$

Où H est la constante de la loi de Henry. En outre, nous ne désignons que la concentration à l'équilibre dans l'oxyde, c'est-à-dire la concentration qui serait en équilibre avec la pression partielle du gaz p_G , par le symbole C^* . C^* s'écrit donc comme suit :

$$C^* = H \cdot p_G \quad (\text{III-7})$$

Si on considère qu'en accord avec la loi des gaz parfaits : $C_G = P_G/KT$ et $C_S = P_S/KT$, l'équation (III-5) devient :

$$F_1 = h \cdot (C^* - C_0) \quad (\text{III-8})$$

Où $h = h_G/HkT$ est le coefficient de transfert de masse en phase gazeuse dans le cas d'une concentration dans le solide.

❖ Le Flux dans l'oxyde F_2 : Les molécules oxydantes diffusent à travers l'oxyde vers l'interface SiO_2/Si . On admet donc que le flux F_2 est un flux diffusant, régi par la première loi *Fick* :

$$F_2 = -D \cdot \frac{\partial C}{\partial x} \quad (\text{III-9})$$

Ce modèle considère que $\frac{\partial C}{\partial x} = \text{cste}$; car il se place dans le cas d'un flux conservatif dans le sens où il n'y a pas d'accumulation de l'espèce oxydante dans l'oxyde. Le flux de diffusion F_2 peut donc être exprimé par la valeur des concentrations aux deux interfaces :

$$F_2 = D \frac{C_0 - C_i}{x_0} \quad (\text{III-10})$$

Où D est le coefficient de diffusion de l'espèce oxydante dans une couche d'oxyde ; C_i est la concentration de l'espèce oxydante près de l'interface SiO_2/Si , et x_0 est l'épaisseur de la couche d'oxyde.

❖ Le Flux à l'interface SiO_2/Si , F_3 : A l'interface SiO_2/Si se produit la réaction chimique entre les molécules de l'espèce oxydante et les atomes du substrat de silicium pour former du SiO_2 . On admet que la vitesse de réaction chimique est proportionnelle à la concentration de l'oxydant à cette interface. Donc :

$$F_3 = k_S C_i \quad (\text{III-11})$$

Où k_s est la constante de vitesse de réaction.

En utilisant les conditions à l'état d'équilibre : $F = F_1 = F_2 = F_3$. Les expressions pour la concentration d'oxydants à l'interface SiO_2/Si , C_i et celle à l'interface gaz/oxyde C_0 sont déterminées en posant $F_1 = F_2$ et $F_2 = F_3$. On obtient donc :

$$C_i = \frac{C^*}{1 + \frac{k_s}{h} + \frac{k_s x_0}{D}} \quad (\text{III-12})$$

$$C_0 = \frac{\left(1 + \frac{k_s x_0}{D}\right) C^*}{1 + \frac{k_s}{h} + \frac{k_s x_0}{D}} \quad (\text{III-13})$$

Les équations (III-12) et (III-13) sont examinées aux conditions limites. Lorsque que le coefficient de diffusion D est très faible, $C_i \rightarrow 0$ et $C_0 \rightarrow C_G$, donc $h(C^* - C_0) = 0 = k_s C_i$; alors, $C^* = C_0$. Ce cas limite est appelé *cas du contrôle par diffusion*. Au contraire, lorsque le coefficient de diffusion est très grand, C_i et C_0 sont égales ($C_i = C_0$) et sont données par $\frac{C^*}{1 + \frac{k_s}{h}}$. Ce cas limite est appelé *cas du contrôle par réaction*, la cinétique d'oxydation est contrôlée par la constante de réaction k_s par $C_i (= C_0)$

Afin de calculer la vitesse de croissance de l'oxyde, il est nécessaire de définir une quantité supplémentaire, N_1 . N_1 est le nombre de molécules oxydantes incorporées dans une unité de volume de la couche d'oxyde. Si le réactif est l'oxygène (O_2), une molécule est incorporée pour chaque molécule de SiO_2 . $N_1 = 2,2 \times 10^{22} \text{ atomes/cm}^3$, correspondant à la valeur de la densité de SiO_2 . Si l'agent oxydant est le H_2O (cas de l'oxydation par voie humide), deux molécules sont incorporées pour chaque molécule de SiO_2 , $N_1 = 4,4 \times 10^{22} \text{ atomes/cm}^3$. L'équation différentielle pour la croissance de l'oxyde est alors donnée par :

$$N_1 \frac{dx_0}{dt} = F = \frac{k_s C^*}{1 + \frac{k_s}{h} + \frac{k_s x_0}{D}} \quad (\text{III-14})$$

Avec les conditions initiales $x_0(0) = x_i$, la solution à cette équation différentielle conduit à la relation générale (équation III-15) gouvernant l'oxydation du silicium :

$$x_0^2 + A(x_0) = B(x_0 + \tau) \quad (\text{III-15})$$

Où

$$A = 2D\left(\frac{1}{k_s} + \frac{1}{h}\right) \quad (\text{III-16})$$

$$B = \frac{2 DC^*}{N_1} \quad (\text{III-17})$$

$$Et \quad \tau = \frac{x_i^2 + Ax_i}{B} \quad (\text{III-18})$$

τ représente un décalage temporel prenant en compte de l'existence d'une épaisseur initiale d'oxyde x_i .

La résolution de l'équation générale (III-15) donne l'équation de l'épaisseur de l'oxyde en fonction du temps (eq III-19)

$$\frac{x_0}{A/2} = \sqrt{1 + \frac{t + \tau}{A^2/4B}} - 1 \quad (\text{III-19})$$

Les deux cas limites de cette relation générale permettent de déduire que :

- Pour des temps longs d'oxydation, c'est-à-dire $t \gg A^2/4B$, la loi dite *parabolique* est très approchée $x_0^2 \cong Bt$. Dans cette relation B , est appelé *constante de croissance parabolique*.
- Pour des temps courts, c'est-à-dire $(t + \tau) \ll A^2/4B$, la loi dite *linéaire* est obtenue $x_0 = (B/A)(t + \tau)$. B/A est la *constante de croissance linéaire* donnée par :

$$\frac{B}{A} = \frac{k_s h}{k_s + h} \frac{C^*}{N_1}$$

La *constante de croissance parabolique* B et celle de la *croissance linéaire* $\frac{B}{A}$ sont aussi appelés paramètres de Deal et Grove. Dans diverses publications utilisant le modèle de Deal et Grove, la croissance de l'oxyde est décrite par les paramètres B et $\frac{B}{A}$ dépendant de la température et de la pression de l'oxydation, mais aussi de l'orientation cristallographique du substrat.

ANNEXE III : Calculs théoriques des pertes de puissance dans la cellule intégrée

A-III.1. Introduction

il a été démontré par de nombreux auteurs que les pertes dues aux métallisations sont d'une grande importance dans la performance finale d'une cellule solaire [1][2][3]. Les calculs dans la suite s'inspirent de ces études sur les pertes dans les métallisations. Deux facteurs principaux entraînent une diminution de la puissance finale de la cellule solaire :

- L'ombrage de la cellule par les métallisations
- Les pertes ohmiques dues à la résistivité des matériaux utilisés

Le fait de placer des métallisations en face avant de la cellule entraîne un ombrage de la partie active de la cellule. Cet ombrage entraîne une baisse de la surface exposée aux rayons lumineux et donc une baisse de l'énergie captée par la cellule.

Quant aux pertes ohmiques au sein d'une cellule solaire photovoltaïque, il y a plusieurs facteurs qui les génèrent. En effet, à partir de la génération d'une paire Électron trou jusqu'à leur collecte, le courant photogénéré traverse différents matériaux résistifs. Les pertes ohmiques se répartissent donc sur les différentes zones de la cellule traversées par le courant. Nous allons décrire dans ce paragraphe les modélisations utilisées pour réaliser le calcul de ces pertes ainsi que l'utilisation du logiciel de calcul permettant d'optimiser les métallisations des cellules solaires.

A-III.2. Modélisation électrique d'une cellule solaire, les résistances parasites

Le modèle Électrique de la cellule est disponible dans la Figure A-7.

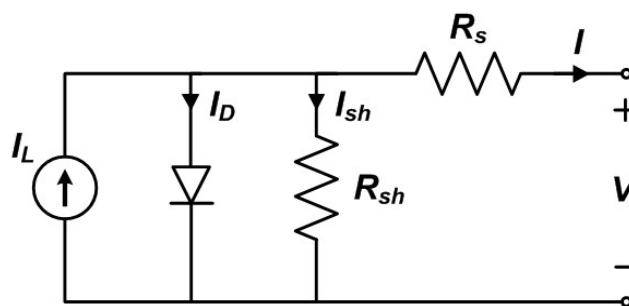


Figure A-7 : Schéma électrique d'une cellule solaire

Les résistances sont les modélisations de phénomènes physiques au sein de la cellule.

La résistance série provient de 3 facteurs :

- La circulation du courant dans l'émetteur de la cellule
- Le contact Électrique entre les métallisations et le silicium
- La circulation du courant au travers des métallisations (face arrière et face avant)

Quant à la résistance parallèle (ou shunt) [4], elle représente les défauts l'intérieur du matériau (courant de fuite travers la jonction, autour du bord de la cellule, causé par les défauts cristallins et les précipités de corps Étrangers dans la zone de jonction) qui conduisent une diminution du courant photo-induit.

Ce paragraphe est essentiellement orienté sur l'étude des pertes dues la résistance série. Les calculs ont été réalisés en se plaçant au point maximum de puissance d'une cellule solaire sous un Éclairement de 1000 W/m^2 .

A-III.3. Calculs des pertes pour une cellule solaire de structure classique

Dans la suite nous allons calculer les pertes sur une cellule classique avec une métallisation appelée "H grid". Le schéma et les paramètres d'un tel type de cellule est le suivant :

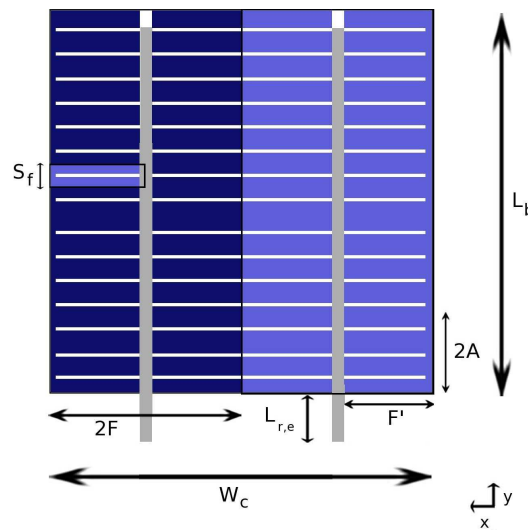


Figure A-8:Schéma de métallisation cellule classique

Tableau A- 1 : Paramètres géométriques de la cellule solaire

W_c	Largeur de la cellule (mm)	n_b	nombre de busbars
L_c	Longueur de la cellule	W_b	largeur du bus bar
n_f	nombre de fingers	t_b	hauteur du busbar
S_f	espace entre les fingers	n_s	nombre de points de soudure en face avant
W_f	largeur du finger	$2A$	espace entre deux points de soudure
t_f	hauteur du finger	n'_s	nombre de points de soudure en face arrière
F	longueur busbar-côté cellule	W_r	largeur du ruban
F'	longueur busbar-bout finger	$L_{r,e}$	Longueur de ruban qui dépasse de la cellule
W_a	Distance finger-côté cellule	t_r	Épaisseur ruban
α_f	facteur géométrique du finger	t_{Al}	Épaisseur aluminium face arrière

α_b	facteur géométrique du busbar	t_s	Épaisseur du substrat fritté
------------	-------------------------------	-------	------------------------------

Tableau A- 2: Paramètres Électriques de la cellule solaire

J_{mp}	densité de courant de la cellule (A/Cm^2)
V_{mp}	tension aux bornes de la cellule (V)
ρ_b	résistivité busbar (Ohm.mm)
ρ_f	Résistivité du finger (Ohm.mm)
ρ_r	résistivité ruban (Ohm.mm)
ρ_e	résistivité émetteur (Ohm.mm)
ρ_c	résistivité de contact ($Ohm.mm^2$)
ρ_{Al}	résistivité aluminium (Ohm.mm)

La puissance totale initiale, c'est dire produite par une cellule sans compter les pertes dues aux métallisations, est :

$$P_{ini} = J_{mp} * V_{mp} * W_c L_c \quad (1)$$

A-III.3.1. Pertes dues à l'ombrage de la cellule

On considère les zones situées sous les métallisations comme inactives, il s'agit donc de surfaces entièrement perdues pour la conversion énergétique.

Les pertes de puissance dues l'ombrage des fingers est :

$$L_{o,f} = 2nf * J_{mp} * V_{mp} * W_f (F' + (nb - 1) (F' + W_a)) \quad (2)$$

Pour les busbars (et les rubans), l'équation permettant d'obtenir les pertes dues l'ombrage est :

$$L_{o,b} = nb J_{mp} V_{mp} L_c W_r \quad (3)$$

A-III.3.2. Pertes dues à la résistance série induite par les métallisations.

Pour modéliser le courant dans la cellule, il faut "découper" les cellules solaires suivant différentes tailles. La schématisation des différentes "cellules" utilisées est illustrée dans la Figure A-8. La modélisation du flux de courant est discutée dans la suite.

Le courant photogénéré n'est pas constant dans toutes les parties qu'il traverse, le courant se crée dans l'émetteur puis est collecté par les fingers qui le transmettent aux busbars, enfin le

courant passe des busbars aux rubans au travers des joints de soudures. Les calculs théoriques permettant de déterminer les pertes ohmiques sont discutés dans la suite.

A-III.3.2.1. Pertes dans l'Émetteur

La circulation du courant dans l'Émetteur est confrontée à la résistivité du matériau. Pour modéliser les pertes ohmiques dans l'Émetteur, on considère une cellule de longueur F' et de largeur $\frac{1}{2}S_f$.

Le courant n'est pas constant au sein de l'Émetteur. On considère donc un courant qui augmente le long de l'axe y : $I = J_{mp}F'y$.

Pour modéliser les pertes résistives dans l'Émetteur on calcule les pertes sur une distance

dy : $dP_{r,e} = I^2 dR$ avec $dR = \rho_e \frac{dy}{F'}$ où ρ_e représente la résistivité de couches minces de l'émetteur en $\Omega/\square$.

Il faut alors diviser la cellule en trois parties différentes pour calculer les pertes dues l'Émetteur, tout d'abord la partie comprenant les fingers entre les busbar et les côtés de la cellule :

$$\begin{aligned} L_{r,e1} &= \int_0^{S_f/2} I_f(x)^2 dR \\ &= J_{mp}^2 F' \rho_e \int_0^{S_f/2} y^2 dy \\ L_{r,e1} &= \frac{1}{24} J_{mp}^2 S_f^3 F' \rho_e \end{aligned} \quad (4)$$

Il faut donc ajouter la partie située entre chaque busbar, pour cela il suffit de remplacer F' par F dans la formule :

$$L_{r,e2} = \frac{1}{24} J_{mp}^2 S_f^3 (F' + W_a) \rho_e \quad (5)$$

Il faut aussi considérer les pertes dues au passage du courant depuis le bord de la cellule jusqu'aux fingers. Pour cela on considère un courant qui augmente linéairement :

$$L_{r,e3} = \frac{1}{3} J_{mp}^2 W_a^3 L_c \rho_e \quad (6)$$

Pour obtenir le courant l'Échelle de la cellule il faut multiplier les pertes individuelles par le nombre d'occurrence de l'élément puis les additionner, ce qui nous donne la formule suivante :

$$L_{r,e} = \frac{1}{3} J_{mp}^2 \rho_e \left[\frac{1}{2} S_f^3 (n_f F' + (n_b - 1) n_f (F' + W_a)) + 2 W_a^3 L_c \right] \quad (7)$$

A-III.3.2.2. Pertes dues au contact fingers-émetteur

Le contact ohmique entre le finger et l'émetteur ne permet pas une conduction parfaite du courant, il est donc caractérisé par une résistance de contact ρ_c en $\Omega.cm^2$. Pour calculer les pertes relatives au contact métal-semiconducteur on utilise l'Équation de Green [5] :

$$L_{r,c1} = \rho_c J_{mp}^2 \frac{S_f^2 (F' + W_a)^2}{F' W_f} \quad (8)$$

$$L_{r,c2} = \rho_c J_{mp}^2 \frac{S_f^2 (F' + W_a)}{W_f} \quad (9)$$

Comme précédemment il faut multiplier ces équations par le nombre d'occurrences :

$$L_{r,c} = 2 n_f \rho_c J_{mp}^2 \frac{S_f^2}{W_f} \left[(n_b - 1) (F' + W_a) + \frac{(F' + W_a)^2}{F'} \right] \quad (10)$$

A-III.3.2.3. Pertes dans les fingers

Pour modéliser le courant dans les fingers, on utilise une cellule centrée sur un finger et de largeur S_f (Figure A-98).

Le courant n'est pas considéré comme constant dans le finger. En effet le finger collecte progressivement le courant pour le transporter jusqu'au busbar. On considère donc un courant qui augmente linéairement dans le finger depuis le point le plus éloigné du busbar, jusqu' la connexion finger-busbar, selon la formule :

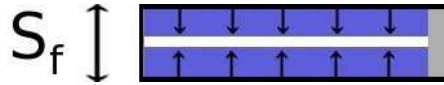


Figure A-9 : Schéma de la cellule pour le calcul des pertes dans le finger

$$I_f(x) = J_{mp} S_f (x + W_a) \quad \text{avec } x \text{ variant de } 0 \text{ à } F'$$

Il faut aussi prendre en compte la forme pseudo rectangulaire de la section d'un finger due la sérigraphie de celui-ci, comme présenté par le schéma suivant :

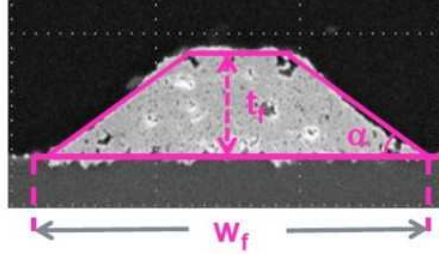


Figure A-10: Section et élément géométrique d'un finger sérigraphié

La section du finger devient alors :

$$A_f = (W_f - \frac{t_f}{\tan \alpha}) t_f \quad (11)$$

(12)

Pour modéliser les pertes résistives dans le finger on calcule les pertes sur une distance

$dx : dL_{r,f} = I^2 dR$ avec $dR = \rho_f \frac{dx}{(W_f - \frac{t_f}{\tan \alpha}) t_f}$ où ρ_f représente la résistivité du finger en $\Omega.cm$.

On peut alors calculer les pertes dues aux fingers situés entre le busbar et le côté de la cellule :

$$\begin{aligned} L_{r,f1} &= \int_0^{F'} I_f(x)^2 dR \\ &= \frac{J_{mp}^2 S_f^2 \rho_f}{(W_f - \frac{t_f}{\tan \alpha}) t_f} \int_0^{F'} (x + W_a)^2 dx \\ L_{r,f1} &= \frac{1}{3} \frac{J_{mp}^2 S_f^2 \rho_f ((W_a + F')^3 - W_a^3)}{(W_f - \frac{t_f}{\tan \alpha}) t_f} \end{aligned} \quad (13)$$

Il faut aussi prendre en compte les fingers situés entre chaque busbar :

$$\begin{aligned} L_{r,f2} &= \int_0^{F'} I_f(x)^2 dR \\ &= \frac{J_{mp}^2 S_f^2 \rho_f}{(W_f - \frac{t_f}{\tan \alpha}) t_f} \int_0^{F'+W_a} x^2 dx \\ L_{r,f2} &= \frac{1}{3} \frac{J_{mp}^2 S_f^2 \rho_f (F' + W_a)^3}{(W_f - \frac{t_f}{\tan \alpha}) t_f} \end{aligned} \quad (14)$$

Pour se ramener l'échelle de la cellule entière il faut multiplier ce résultat par le nombre de fingers présents sur la cellule :

$$L_{r,f} = 2n_f \frac{1}{3} \frac{J_{mp}^2 S_f^2 \rho_f}{(W_f - \frac{t_f}{\tan \alpha}) t_f} [n_b (W_a + F')^3 - W_a^3] \quad (15)$$

A-III.3.2.4. Pertes dans les busbars

Pour le calcul des pertes ohmiques dans les conducteurs, il a été choisi de privilégier la conduction du courant par les rubans soudés la cellule. En effet, le ruban de cuivre étamé étant plus conducteur que le busbar en pâte d'argent, on considère que le courant collecté par le busbar est directement transmis au ruban de cuivre au travers des joints de soudure.

Ce choix a été fait pour se rapprocher au plus de la réalité. La Figure A-11 permet de mieux comprendre la modélisation effectuée.

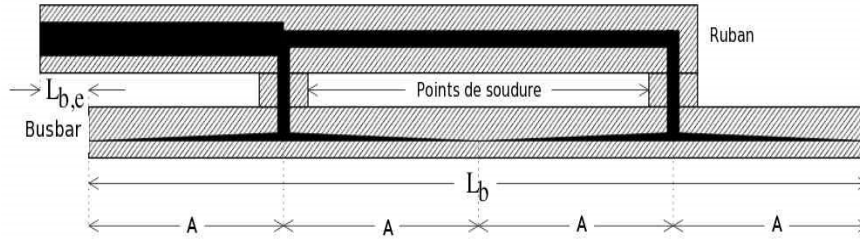


Figure A-11: Modélisation du flux de courant dans le busbar et le ruban conducteur

Dans ce modèle, on considère que le courant augmente linéairement le long des busbars et que le courant dans le ruban augmente pas à pas chaque point de soudure.

Pour calculer les pertes ohmiques le long du busbar, on se ramène une cellule spécifique de largeur A et de longueur $\frac{W_c}{n_b}$. Le calcul est le même que pour le finger, avec des dimensions différentes, on obtient donc comme Équation :

$$L_{r,b} = \frac{1}{3} \frac{J_{mp}^2 W_c^2 \rho_b A^3}{(W_b - \frac{t_b}{tg\alpha}) t_b n_b^2} \quad (16)$$

De même que précédemment il faut ramener cette équation l'échelle de la cellule entière, il faut alors réaliser une multiplication par $2n_s n_b$ pour estimer les pertes sur la cellule entière. On considère les pertes en face arrière comme identiques celles en face avant.

A-III.3.2.5. Pertes dans les rubans

Pour le ruban le fait d'augmenter l'intensité du courant pas à pas entraîne des modifications dans le calcul. On appelle I_s le courant passant par un joint de soudure : $I_s = 2 \frac{A W_c}{n_b}$.

La résistance d'une portion de ruban de longueur A est $R_{r,L} = \frac{\rho_r A}{t_r W_r}$. On obtient alors, pour la puissance dissipée dans le ruban :

$$L_{r,r} = \sum_{i=1}^{n_s} R_{r,L} [((i-1)I_s)^2 + (iI_s)^2]$$

$$L_{r,r} = 4 \frac{\rho_r A^3 W_c^2}{t_r W_r n_b^2} J_{mp}^2 [2 \sum_{i=1}^{n_s} (i^2) - n_s(n_s + 1) + n_s] \quad (17)$$

En utilisant la formule des polynômes de Bernoulli [6] et $A = \frac{L_c}{2n_s}$:

$$\sum_{i=1}^n (i^2) = \frac{n(n+1)(2n+1)}{6} \quad (18)$$

$$L_{r,r} = \frac{1}{6} \frac{\rho_r L_c^3 W_c^2}{t_r W_r n_b^2 n_s^3} J_{mp}^2 (2n_s^3 + n_s)$$

$$L_{r,r} = \frac{1}{3} \frac{\rho_r L_c^3 W_c^2}{t_r W_r n_b^2} J_{mp}^2 \left(1 + \frac{1}{2n_s^2}\right) \quad (19)$$

Le nombre de rubans sur la cellule correspond au nombre de busbars, il faut alors multiplier cette Équation par n_b pour retrouver les pertes sur la surface totale de la cellule. Pour la face arrière on utilise le même calcul mais on remplace n_s par n_s' . De plus il faut compter les pertes dans la connexion entre chaque cellule qui correspondent $\frac{\rho_r L_{r,e} L_c^2 W_c^2}{t_r W_r n_b^2} J_{mp}^2$

A-III.3.2.6. Couche d'aluminium en face arrière

L'absorbeur de la cellule solaire est connecté en face arrière à une couche d'aluminium d'épaisseur 20 μm . On considère que le courant traverse de façon perpendiculaire en diminuant de façon constante. C'est-à-dire que le courant passe des busbars à la couche d'aluminium puis passe dans l'absorbeur de façon progressive depuis le busbar vers le côté de la cellule. On obtient alors l'équation :

$$L_{l,Al} = \frac{W_c F^3 J_{mp}^2 \rho_{Al}}{3t_{Al}} \quad (20)$$

A-III.4. Calculs des pertes pour une cellule intégrée de type i-Cell

Dans la suite nous allons calculer les pertes sur une cellule intégrée de type i-Cell. La plupart des calculs présentés dans la [section A-III.3](#) peuvent être utilisés pour modéliser les pertes de puissances de l'i-Cell. Cependant certains facteurs de pertes peuvent être différentes par rapport à une cellule classique. La structure de l'i-Cell entraîne des pertes au niveau de la surface active, des caissons conducteurs et du substrat. Cependant les pertes en face arrière sont supprimées.

Pour tous les facteurs communs aux deux types de cellules, le calcul de pertes est le même, seul les dimensions changent. Ils restent donc calculer les pertes de puissance qui diffèrent de la cellule classique.

On admet que les performances de conversion de la cellule intégrée équivalente celle de la cellule standard, on a donc la même densité de courant j et la même tension V . Les résistivités des matériaux utilisées sont aussi considérées comme semblables ceux de la cellule standard. Il reste donc définir les paramètres géométriques de la cellule présentés dans la Figure A-1211 et le Tableau A-3 ci-dessous.

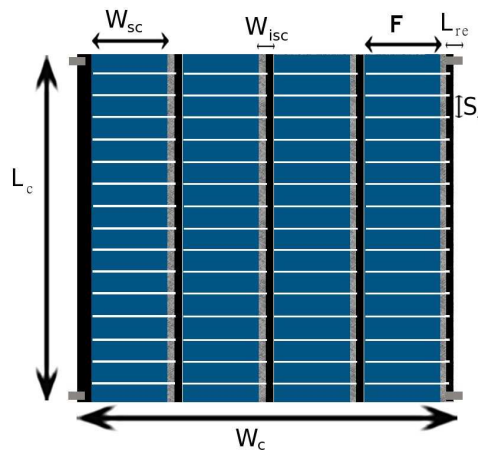


Figure A-12: Schéma d'une i-Cell

Tableau A-4 : Paramètres géométriques de la cellule intégrée

W_c	Largeur de la cellule (mm)	W_f	largeur du finger
L_c	Longueur de la cellule	t_f	hauteur du finger
n_{sc}	nombre de sous-cellules	F	longueur finger
W_{isc}	espace entre 2 sous-cellules	W_a	Distance bout du finger côté cellule
W_{sc}	largeur des sous-cellules	t_{ca}	Épaisseur caisson
e_r	espace pour soudure ruban	$L_{r,e}$	Longueur de ruban qui dépasse de la cellule
n_f	nombre de fingers	W_r	largeur du ruban
S_f	espace entre les fingers	t_r	Épaisseur ruban
α_f	facteur géométrique du finger		

Tableau A- 5: Paramètres électriques de la cellule intégrée

J_{mp}	densité de courant de la cellule (A/Cm^2)
V_{mp}	tension aux bornes de la cellule (V)
ρ_f	résistivité finger (Ohm.mm)
ρ_{ca}	résistivité caisson (Ohm.mm)
ρ_r	résistivité ruban (Ohm.mm)
ρ_e	résistivité Émetteur (Ohm.mm)
ρ_c	résistivité de contact (Ohm.mm ²)
ρ_{sub}	résistivité substrat (Ohm.mm)

A-III.4.1. Diminution de la surface active

Le fait d'ouvrir des tranchées entre chaque sous-cellule en découpant directement dans la surface active de la cellule solaire entraîne une perte non négligeable de surface exposée au soleil. L'équation suivante nous donne la valeur des pertes de puissance dues la diminution de la surface active :

$$P_{sa} = [(n_{sc} - 1)(W_{isc}) + 2e_r] Lc J_{mp} V_{mp} \quad (21)$$

A-III.4.2. Caisson conducteur

Le caisson conducteur de l'i-Cell joue le même rôle que la métallisation arrière, c'est dire qu'il permet la connexion avec l'absorbeur de la couche active.

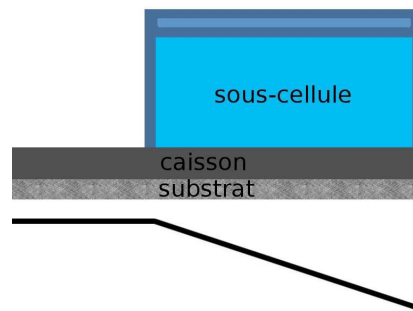


Figure A-13: Structure transverse d'une sous-cellule et du caisson conducteur, le courant est modélisé par la courbe noire

Chaque caisson est dimensionné de façon à être en contact avec la surface entière de la sous-cellule, les caissons doivent être plus grands que la sous-cellule pour permettre la connexion entre sous-cellules (Figure A-1312). On y ajoute donc une longueur Égale la moitié de l'espace entre chaque sous-cellule. La longueur totale du caisson est donc $\frac{1}{2}W_{isc} + W_{sc}$. Le

courant est constant dans l'espace libre puis diminue dès le premier contact avec l'absorbeur pour devenir nul au bout de la sous-cellule.

Il faut donc diviser le calcul en deux parties, l'une où le courant est constant et égal $J_{mp} W_{sc} L_{sc}$ et une autre où le courant varie de façon linéaire, (cf ruban cellule standard). On obtient alors l'Équation.

$$L_{ca} = J_{mp}^2 W_{sc}^2 L_{sc}^2 \frac{\rho_{ca}}{e_c L_{sc}} \left(\frac{1}{2} W_{isc} + \frac{1}{3} W_{sc} \right) \quad (22)$$

A-III.4.3. Courant de fuite dans le substrat

Le substrat utilisé doit être isolant au maximum, cependant un courant de fuite peut apparaître en fonction de la résistivité du substrat. Il a donc été choisi d'étudier l'influence de ce courant de fuite. Pour cela, le substrat est associé à une résistance parallèle, la Figure A- 143 schématise cette modélisation.

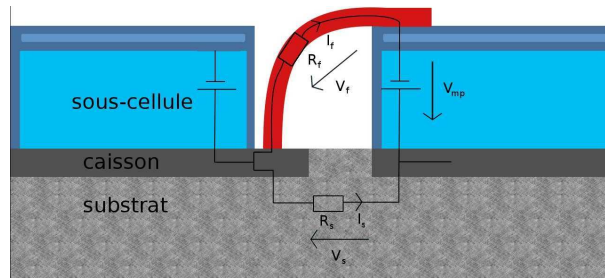


Figure A- 14: Modélisation électrique de la résistance du substrat

Les fingers sont modélisés par la résistance R_f qui correspond la résistance de l'ensemble des fingers, elle est Égale $\rho_f \frac{3W_{isc}}{2n_f t_f W_f}$. Le substrat est assimilé une résistance R_s , qui est égale à $\rho_s \frac{W_{isc}}{2t_s L_{sc}}$. Les sous-cellules sont associées des générateurs de tension V_{mp} .

Pour déterminer l'énergie dissipée par le courant de fuite dans le substrat, il faut déterminer la valeur de ce courant. Les pertes dans le substrat sont Égales $L_s = R_s I_s^2$.

$$\begin{aligned} V_{mp} &= V_f + V_s \\ &= I_f R_f + I_s R_s \\ &= (I_{mp} - I_s) R_f + I_s R_s \end{aligned} \quad (23)$$

$$\text{car } I_f = I_{mp} - I_s$$

$$I_s = \frac{V_{mp} - I_{mp} R_f}{R_s - R_f} \quad (24)$$

$$L_s = R_s \left[\frac{V_{mp} - I_{mp} R_f}{R_s - R_f} \right]^2 \quad (25)$$

La résistance associée aux fingers étant négligeable en comparaison la résistance du substrat, il apparait évident que la résistivité du substrat joue le rôle principal des pertes dues au courant de fuite dans le substrat.

A-III.4.4. Pertes dans les fingers

Le prolongement des fingers doit être pris en compte lors du calcul des pertes résistives au sein de l'i-Cell, la modélisation est semblable celle des rubans dans une cellule standard. L'équation (26) exprime les pertes totales dues aux fingers. On considère que le prolongement des fingers est égale $0,8W_{isc}$.

$$L_{r,f} = \frac{J_{mp}^2 S_f^2 \rho_f}{(W_f - \frac{t_f}{tg\alpha}) t_f} [(W_a + F')^3 - W_a^3 + 0,8W_{isc} W_{sc}^2] \quad (26)$$

Pour toutes ces pertes, hormis la perte de surface active, il faut multiplier par le nombre de sous-cellules présents sur l'i-Cell.

Ainsi, un logiciel de calcul de pertes et de performances des types de cellules mentionnés ci-dessus a été créé. Il s'agit d'un fichier « Solveur Excel » dans lequel on peut modifier les paramètres géométriques ainsi que tous les paramètres électriques et d'étudier leur impacts sur le rendement de la cellule et le coût en pâte d'argent.

A-III.5. Références bibliographiques

- [1] Peter J. Gress. Metallisation of Crystalline Silicon Thin-Film Solar Cells : Power Losses, Optimisation and Interconnection. PhD thesis, School of Photovoltaic and Renewable Energy Engineering, The University of New South Wales, Sydney, Australia, 2012.
- [2] Michael Stietka and Johann Summhammer. Wire cell : A more efficient silicon solar cell and module. 23rd European Photovoltaic Solar energy Conference, sept 2008.
- [3] Antonius R. Burgers. New Metallisation Patterns and Analysis of Light Trapping for Silicon Solar Cells. PhD thesis, Faculteit der Natuur- en Sterrenkunde, Universiteit Utrecht, 2005.
- [4] J. P. Rakotoniaina O. Breitenstein, J. Bauer. Material-induced shunts in multicrystalline silicon solar cells. Semiconductors, Apr 2007.

- [5] M.A Green. Solar Cells : Operating Principles, Technology and System Applications. The University of New South Wales, Kensington, NSW, Australia, 1992.
- [6] John H Conway and Richard K Guy. The book of numbers. 1996.